



UNIVERSIDADE FEDERAL RURAL DO SEMI-ÁRIDO
PRÓ-REITORIA DE GRADUAÇÃO
DEPARTAMENTO DAS ENGENHARIAS
CURSO DE ENGENHARIA ELÉTRICA

Edson Alves da Silva

**Regulador LDO integrado para coleta de energia sem fio em aplicações de Internet das
Coisas**

CARAÚBAS

2024

Edson Alves da Silva

**Regulador LDO integrado para coleta de energia sem fio em aplicações de Internet das
Coisas**

Monografia apresentada a Universidade
Federal Rural do Semi-Árido como requisito
para obtenção do título de Bacharel em
Engenharia Elétrica.

Orientador: Francisco de Assis Brito Filho,
Prof. Dr.

CARAÚBAS

2024

© Todos os direitos estão reservados a Universidade Federal Rural do Semi-Árido. O conteúdo desta obra é de inteira responsabilidade do (a) autor (a), sendo o mesmo, passível de sanções administrativas ou penais, caso sejam infringidas as leis que regulamentam a Propriedade Intelectual, respectivamente, Patentes: Lei nº 9.279/1996 e Direitos Autorais: Lei nº 9.610/1998. O conteúdo desta obra tomar-se-á de domínio público após a data de defesa e homologação da sua respectiva ata. A mesma poderá servir de base literária para novas pesquisas, desde que a obra e seu (a) respectivo (a) autor (a) sejam devidamente citados e mencionados os seus créditos bibliográficos.

S586r Silva, Edson Alves.
Regulador LDO integrado para coleta de energia
sem fio em aplicações de Internet das Coisas /
Edson Alves Silva. - 2024.
63 f. : il.

Orientador: Francisco de Assis Brito Filho.
Monografia (graduação) - Universidade Federal
Rural do Semi-árido, Curso de Engenharia
Elétrica, 2024.

1. regulador. 2. coleta de energia. 3.
internet das coisas. 4. tecnologia sky130nm. I.
Brito Filho, Francisco de Assis, orient. II.
Título.

Ficha catalográfica elaborada por sistema gerador automático em conformidade
com AACR2 e os dados fornecidos pelo(a) autor(a).
Biblioteca Campus Caraúbas
Bibliotecária: Dalvanira Brito Rodrigues
CRB: 15/700

O serviço de Geração Automática de Ficha Catalográfica para Trabalhos de Conclusão de Curso (TCC's) foi desenvolvido pelo Instituto de Ciências Matemáticas e de Computação da Universidade de São Paulo (USP) e gentilmente cedido para o Sistema de Bibliotecas da Universidade Federal Rural do Semi-Árido (SISBI-UFERSA), sendo customizado pela Superintendência de Tecnologia da Informação e Comunicação (SUTIC) sob orientação dos bibliotecários da instituição para ser adaptado às necessidades dos alunos dos Cursos de Graduação e Programas de Pós-Graduação da Universidade.

Edson Alves da Silva

**Regulador LDO integrado para coleta de energia sem fio em aplicações de Internet das
Coisas**

Monografia apresentada a Universidade
Federal Rural do Semi-Árido como requisito
para obtenção do título de Bacharel em
Engenharia Elétrica.

Defendida em: 18/04/2024.

BANCA EXAMINADORA

Francisco de Assis Brito Filho, Prof. Dr.
Presidente

Nayana Letícia de Moraes Viana, M.Sc.
Membro Examinador

Wisla Milena Moraes de Oliveira, M.Sc.
Membro Examinador

DEDICATÓRIA

*Francisco Alves Neto
&
Edvania Pereira da Silva Alves*

AGRADECIMENTOS

Se faz necessário agradecer a todos os indivíduos que contribuíram fervorosamente para a realização deste trabalho. É importante deixar claro que todos aqui mencionados foram peças fundamentais para o desenvolvimento, seja acadêmico ou moral, de formas direta ou indiretamente.

A Deus, por me agraciar com o Dom da Vida e possibilitar a realização deste trabalho.

Ao meu pai Francisco Alves Neto, por inspirar, incentivar e apoiar a minha busca pelo conhecimento.

A minha mãe Edvania Pereira da Silva Alves, que sempre me apoiou em todas as decisões, visando o melhor para mim.

A minha avó materna, Helena Maria da Silva, que sempre cuidou de mim sem medir esforços.

A minha namorada Ailane Lorrane, pelo companheirismo incessante.

Ao meu padrasto Cicero Batista e minha irmã Maria Luiza, pelo incentivo.

A todos os meus familiares que contribuíram positivamente na minha jornada, em especial minha avó paterna, Abília Santina da Silva e meu tio Pedro Alves Neto.

Ao meu orientador Prof. Dr. Francisco de Assis Brito Filho, por acreditar em mim e guiar-me no âmbito científico com a excelência de seu conhecimento.

Às integrantes M.Sc. Nayana Letícia de Moraes Viana e M.Sc. Wisla Milena Moraes de Oliveira por aceitar e se disponibilizarem para compor a banca avaliadora do presente trabalho.

A todos os professores que participaram da minha formação acadêmica, ou seja, no ensino fundamental, médio ou superior.

A todos meus amigos, cujo nomes são muitos para serem mencionados, do âmbito acadêmico ou não, que ajudaram no meu desenvolvimento pessoal e intelectual.

*“É patético desistir de algo sem
nem mesmo ter tentado.”*

Monkey D. Luffy

RESUMO

Este trata do desenvolvimento de um Regulador de baixa queda de tensão (LDO, do inglês, Low-Dropout) alimentado por radiofrequência com frequência de 2,45 GHz, saída de 1,8 V, tecnologia sky130nm, direcionado especificamente para aplicações de baixa potência, como por exemplo, dispositivos de Internet das Coisas (IoT, do inglês, *Internet of Things*). O objetivo foi criar um circuito eficiente e adaptável às necessidades crescentes de sistemas de internet das coisas, onde a eficiência energética é crucial. Um dos resultados obtidos foi a sensibilidade mínima de -8 dBm, indicando a capacidade do circuito em lidar eficientemente com níveis de ultrabaixa potência da radiofrequência. Esse trabalho visa contribuir para o desenvolvimento de soluções de energia eficientes e sustentáveis, capazes de suportar os dispositivos IoT alimentados por coleta de energia RF, ampliando as possibilidades de aplicação.

Palavras-chave: regulador; coleta de energia; internet das coisas; tecnologia sky130nm.

ABSTRACT

This work concerns the development of a Low-Dropout Voltage Regulator (LDO) powered by radiofrequency at 2.45 GHz, with an output of 1.8 V, using sky130nm technology, specifically targeting low-power applications such as Internet of Things (IoT) devices. The aim was to create an efficient circuit adaptable to the growing needs of IoT systems, where energy efficiency is crucial. One of the achieved results was a minimum sensitivity of -8 dBm, indicating the circuit's capability to efficiently handle ultra-low power levels of radiofrequency. This work aims to contribute to the development of efficient and sustainable energy solutions capable of supporting RF-powered IoT devices, thereby expanding the possibilities for application.

Keywords: regulator; energy harvesting; internet of things; sky130nm technology.

LISTA DE FIGURAS

Figura 1	– Diagrama de Blocos de uma Rectenna.....	18
Figura 2	– Circuito retificador multibanda. A) Um circuito Multibanda. B) Vários circuitos empilhados para específicos para cada frequência.....	19
Figura 3	– Circuito RLC série.....	20
Figura 4	– Resposta em frequência da Função Transferência do circuito RLC variando o Q.....	21
Figura 5	– Tipos de arranjos para realizar o casamento de impedâncias.....	22
Figura 6	– Topologias de Retificadores Simples.....	23
Figura 7	– Multiplicadores de Tensão de A) Dickson/Greinacher e de B) Villard/Cockcroft-Walton.....	24
Figura 8	– Tensão no Capacitor de Armazenamento.....	25
Figura 9	– Transistor MOS funcionando como Diodo. A) Representação simbólica do diodo. B) Transistor NMOS conectado como Diodo. C) Transistor PMOS conectado como Diodo. D) Comparação das curvas características (V-I) de um Diodo e de um Transistor MOS ligado como diodo.....	26
Figura 10	– LDO usando uma fonte de corrente controlada.....	27
Figura 11	– Diagrama de alto nível do BSN proposto.....	29
Figura 12	– Diagrama de Blocos do Sistema de Alimentação do Sensor da rede WSN.....	29
Figura 13	– Fluxograma do processo de design do CMOS IC.....	30
Figura 14	– Comprimento mínimo de um transistor da tecnologia Sky130nm.....	31
Figura 15	– Diagrama de Blocos do Circuito Proposto.....	33
Figura 16	– Esquemático da Simulação para verificar a curva característica do Diodo.....	34
Figura 17	– Célula Retificadora. A) Esquemático. B) Símbolo.....	34
Figura 18	– Simulações com fontes ideais. A) 1 Estágio. B) 3 Estágios. C) 8 Estágios.....	35
Figura 19	– Esquemático do Regulador LDO.....	37
Figura 20	– Esquemático do Amplificador Operacional OTA.....	38
Figura 21	– Simulação do LDO para verificar a regulação de tensão.....	38
Figura 22	– Simulação DC do OTA como comparador.....	39

Figura 23	– Fluxograma de Projeto <i>Open-source</i>	39
Figura 24	– A) Esquemático do topo. B) <i>Test-bench</i> do topo.....	40
Figura 25	– Curva de Corrente por Tensão.....	42
Figura 26	– Resultados das simulações do retificador com fonte ideais.....	44
Figura 27	– Redes de Casamento de impedância. A) 1 Célula. B) 3 Células.....	46
Figura 28	– Resultados de Simulação Sensibilidade. A) 1 Célula. B) 3 Células.....	47
Figura 29	– <i>Layout</i> do Retificador desenvolvido. A) <i>Layout</i> Completo. B) Zoom nos Transistores.....	47
Figura 30	– Simulação DC do Amplificador Operacional OTA.....	49
Figura 31	– <i>Layout</i> do Amplificador Operacional OTA.....	49
Figura 32	– Regulador implementado com os Mosfet de 3,3 V e 1,8 V.....	50
Figura 33	– <i>Layout</i> do Regulador LDO.....	51
Figura 34	– Simulação com fontes ideais.....	52
Figura 35	– Circuito casador de impedância utilizado no circuito <i>pós-layout</i>	53
Figura 36	– Simulação pontual com redes de casamento de impedâncias. $P_{in} =$ -7 dBm.....	53
Figura 37	– Sensibilidade do circuito de <i>pré-layout</i> . Tensão em função da potência de entrada.....	54
Figura 38	– Sensibilidade do circuito de <i>pós-layout</i> . Tensão em função da potência de entrada.....	54
Figura 39	– <i>Layout</i> do Topo - Circuito Completo.....	55
Figura 40	– Circuito Final inserido no circuito de pinagem.....	56
Figura 41	– Vista 3D do <i>Layout</i> pronto da Fabricação.....	56

LISTA DE TABELAS

Tabela 1	– Parâmetros Iniciais do Projeto.....	33
Tabela 2	– Resultados da Simulações com Fonte Ideais e Carga de 190 k Ω	45
Tabela 3	– Dimensões dos Componentes do OTA.....	48
Tabela 4	– Resultados do Projeto Final baseados na simulação com casamento de impedância de <i>pós-layout</i>	57
Tabela 5	– Comparação de trabalho encontrados no estado da arte.....	58

LISTA DE ABREVIATURAS E SIGLAS

BSN	<i>Body Sensor Nodes</i> – Nós de Sensores Corporais
CI	Circuito integrado
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i> – Complementar de Semicondutor Metal-Óxido
DRC	<i>Design Rule Checking</i> – Checagem de regras de desenho
ECG	Eletrocardiograma
EEG	Eletroencefalograma
EMG	Eletromiograma
IoT	<i>Internet of Things</i> – Internet das Coisas
ISM	<i>Industrial, scientific, and medical</i> – Industrial, Científica e Médica
LDO	<i>Low dropout</i> – Baixa Queda de Tensão
LVS	<i>Layout versus Schematic</i> – Layout versus esquemático
LVT	<i>Low-Voltage Threshold</i> – Baixa Tensão de Limiar
MiM	<i>Metal-Insulator-Metal</i> – Metal-Isolador-Metal
OTA	<i>Operational Transconductance Amplifier</i> – Amplificador de Transcondutância Operacional
PCE	<i>Power Conversion Efficiency</i> – Eficiência de Conversão de Energia
RF	<i>Radio Frequency</i> – Rádiofrequência
SoC	<i>System on Chip</i> – Sistema em um Chip
WSN	<i>Wireless Sensor Networks</i> – Rede de Sensores Wireless
Q	Fator de Qualidade

SUMÁRIO

1.	INTRODUÇÃO	15
1.1.	Justificativa	16
1.2.	Objetivos.....	16
1.2.1.	Objetivos Gerais	16
1.2.2.	Objetivos Específicos	16
1.3.	Organização do trabalho	16
2.	REFERENCIAL TEÓRICO	18
2.1.	Coleta de Energia – Rectennas	18
2.1.1.	Frequência de Atuação.....	18
2.1.2.	Casamento de Impedância	20
2.1.3.	Retificadores	23
2.1.4.	Mosfets funcionando como Diodos	25
2.1.5.	Reguladores LDO	26
2.2.	Internet das Coisas (IoT)	27
2.2.1.	História da Internet da Coisas.....	28
2.2.2.	Aplicações de coleta de energia em Internet da Coisas	28
2.3.	Fluxo de projeto de CI <i>Open-source</i> – Sky130 nm	29
2.3.1.	Tecnologia Sky130nm	31
3.	METODOLOGIA.....	32
3.1.	Circuito Proposto.....	32
3.1.1.	Especificações Iniciais.....	32
3.1.2.	Retificador	33
3.1.3.	Regulador LDO	36
3.2.	Fluxo de projeto <i>Open-source</i>	39
4.	RESULTADOS E DISCUSSÕES	42
4.1.	Retificador	42

4.1.1.	Célula Retificadora	42
4.1.1.1.	Transistor PMOS funcionando como Diodo	42
4.1.1.2.	Definindo o valor dos capacitores da célula	43
4.1.2.	Topo do Retificador	44
4.2.	Regulador LDO.....	48
4.2.1.	AmpOp Comparador	48
4.2.2.	Topo do Regulador LDO	50
4.3.	Topo do projeto CI.....	51
4.4.	Fabricação	55
4.5.	Resumo e Discussões.....	57
5.	CONCLUSÃO.....	59
5.1.	Perspectivas.....	59
REFERENCIAS BIBLIOGRÁFICAS		60
ANEXO I		63

1. INTRODUÇÃO

O termo Internet das Coisas (IoT, do inglês, *Internet of Things*) foi apresentado por Kevin Ashton em 1999, segundo Madakam, Ramaswamy e Tripathi (2015). Esse termo se refere à interconexão de dispositivos físicos e objetos do cotidiano à internet. Objetos equipados com sensores, *software* e outras tecnologias incorporadas, podem coletar e trocar dados entre si e com sistemas computacionais, criando assim uma gigantesca rede de informações.

Baseado no trabalho de Madakam, Ramaswamy e Tripathi (2015), pode-se afirmar que Internet das Coisas é amplamente reconhecida como um setor em expansão que desempenhará um papel crucial no desenvolvimento da tecnologia humana. De acordo com Alahmadi *et al.* (2023), dentro do ecossistema da IoT há duas perspectivas notáveis, são elas: A IoT Industrial (IIoT) e a IoT do Consumidor (CIoT). Ambas dependem fortemente da coleta de dados por meio de sensores, uma tendência impulsionada pela miniaturização desses dispositivos e sua onipresença em diversos equipamentos. No entanto, a alimentação desses dispositivos representa um desafio significativo, uma vez que, segundo Rosabal *et al.* (2023), as baterias tradicionais possuem limitações de vida útil e ocupam um espaço considerável nos equipamentos em questão.

Segundo Rosabal *et al.* (2023) uma alternativa viável para alimentação desses dispositivos, dada a curta vida útil das baterias, é a coleta de energia provinda de ondas de Radiofrequência (RF). Com esse tipo de tecnologia é possível fornecer energia sem a necessidade de armazená-la uma vez que as ondas de rádio, nos dias de hoje, são irradiadas por todos os locais.

É importante ressaltar que, assim como ocorre o processo de miniaturização, também ocorre a busca por eficiência energética e tendências de baixo consumo. Dessa forma, além de menores, os sensores de IoT tendem a operar com ultra-baixa potência tornando a coleta de energia uma proposta mais atraente.

Este trabalho propõe o desenvolvimento de um circuito integrado capaz de captar, retificar, regular e utilizar eficientemente a energia, explorando a coleta de energia de radiofrequência e abordando questões específicas relacionadas à eficiência energética em aplicações de IoT.

1.1. Justificativa

Segundo Rosabal et al. (2023), o fornecimento de energia para os dispositivos de internet das coisas é um desafio, pois depender de baterias não é uma solução escalonável e sustentável. Ainda segundo o autor, a captação de energia de RF oferece uma abordagem promissora para alimentar dispositivos de baixa potência de maneira sustentável. A justificativa para este projeto reside na contribuição potencial para a eficiência energética em aplicações de IoT, reduzindo a dependência de baterias e ampliando as possibilidades de implantação em diversos ambientes.

O desenvolvimento de um Circuito Integrado CMOS específico para essa finalidade visa aprofundar os conhecimentos em microeletrônica, colaborando com o processo de miniaturização dos equipamentos, abrindo novas perspectivas para a integração de dispositivos IoT em larga escala e contribuindo para avanços significativos na engenharia como um todo.

1.2. Objetivos

1.2.1. Objetivos Gerais

- Realizar o projeto completo de um regulador do tipo LDO integrado alimentado por coleta de energia sem fio, voltado para aplicações em internet das coisas.

1.2.2. Objetivos Específicos

- Definir parâmetros iniciais acerca da aplicação.
- Determinar o tipo do retificador com base na topologia, o dispositivo retificador e as condições de operação (Frequência e Potência de operação), buscando bons índices de eficiência.
- Determinar a melhor tecnologia para elaborar o conversor RF-DC.
- Realizar o projeto e as simulações do conversor RF-DC.
- Desenvolver o *layout* do circuito.
- Testar a eficiência do circuito *pós-layout*.

1.3. Organização do trabalho

Este trabalho iniciou-se com a introdução onde foram vistos os conceitos introdutórios sobre internet das coisas, a problemática da alimentação dos dispositivos dessa área e o conceito da utilização da energia de radiofrequência como alternativa para alimentação desses dispositivos. A próxima seção deste trabalho é chamada de referencial teórico e é utilizada para embasar a pesquisa, orientar a metodologia e contextualizar os resultados. Essa é seguida pela

metodologia que evidência o modo de desenvolvimento da pesquisa. Posteriormente tem-se a seção de resultados e discussões que explicita e discute o que foi obtido durante a pesquisa e por fim, a seção de conclusão, que traz uma síntese dos resultados e a interpretação destes trazendo as implicações gerais da pesquisa para o mundo acadêmico.

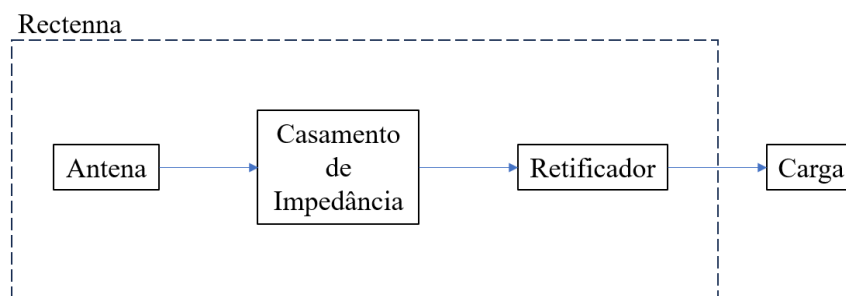
2. REFERENCIAL TEÓRICO

2.1. Coleta de Energia – Rectennas

A coleta de energia, também conhecida como geração de energia ou colheita de energia, refere-se ao processo de captura e conversão de energia disponível no ambiente para gerar eletricidade utilizável. Essa energia pode ser obtida a partir de diversas fontes naturais, como luz solar, calor, movimento mecânico, vibração, radiofrequência (RF), entre outros. A coleta de energia é uma técnica promissora para alimentar dispositivos eletrônicos autônomos e de baixo consumo, especialmente em locais remotos ou de difícil acesso onde o uso de baterias convencionais não é prático. Este trabalho utiliza da coleta de energia de radiofrequência como fonte de energia.

É normal, durante uma pesquisa sobre coleta de energia RF se deparar com o termo “Rectenna” que se refere ao conjunto antena + casamento de impedância + retificador que é utilizado para a coleta de energia RF. Como visto em *JI et al. (2014)*, a Figura 1 ilustra a composição de uma Rectenna.

Figura 1 – Diagrama de Blocos de uma Rectenna.



Fonte: Adaptado de *JI et al. (2014)*

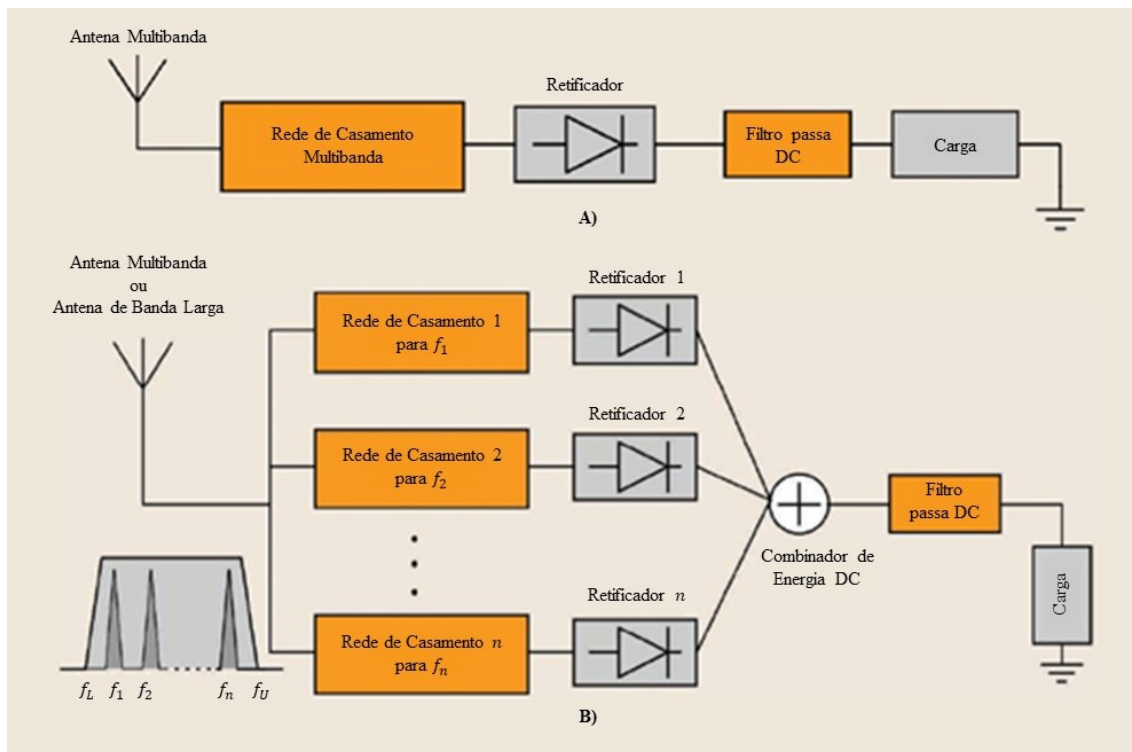
2.1.1. Frequência de Atuação

Para realizar a coleta de energia RF é necessário um circuito responsável por captar a energia e transformá-la em nível DC apropriado para aplicação, que recebe o nome de rectenna. O uso das rectennas pode ser voltado a três configurações: *Single-band*, *Multiband* ou *Broadband* (Banda única, múltiplas bandas ou banda larga, respectivamente) sendo essas três configurações mostradas no trabalho de *Wagih et al. (2020)*. Em suma, segundo *Wagih et al. (2020)*:

- *Single-band*: Refere-se a dispositivos, redes ou sistemas que operam em uma única frequência específica. Por exemplo, um roteador Wi-Fi single-band opera em uma única faixa de frequência, como 2,4 GHz.
- *Multiband*: Indica a capacidade de operar em múltiplas frequências. Um dispositivo multibanda pode suportar comunicação em diferentes intervalos de frequência. Um exemplo comum é um smartphone multibanda que pode funcionar em várias frequências para redes móveis.
- *Broadband*: Refere-se a sistemas que possuem uma largura de banda significativa e são capazes de receber uma ampla gama de frequências.

A frequência de operação está relacionada a dois estágios fundamentais da Rectenna: O casamento de impedância e o Retificador. Isso pode ser visto no trabalho de Halimi *et al.* (2023) onde é possível observar que o dimensionamento desses estágios é diretamente relacionado a frequência de operação e principalmente com relação a rede de casamento de impedância que pode atuar como filtro para determinadas frequências. A Figura 2 mostra duas topologias de circuitos capazes de atuar em múltiplas frequências.

Figura 2 – Circuito retificador multibanda. A) Um circuito Multibanda. B) Vários circuitos empilhados para específicos para cada frequência.



Fonte: Halimi *et al.* (2023).

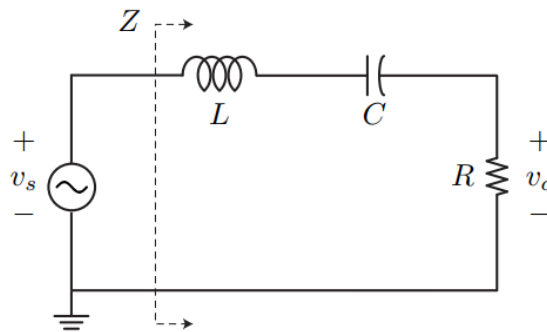
É importante observar que no circuito A) a rede de impedância é adaptada para múltiplas frequências, assim como deve ser para o retificador. Já no circuito B), o interesse é implementar um circuito individual para cada frequência e fazê-los operar em paralelo transferindo potência para a carga, nesse caso é desenvolvida uma rede de impedância e um retificador específico para cada bloco, evidenciando a relação desses circuitos com a frequência de operação.

2.1.2. Casamento de Impedância

Circuito RLC e o uso do Fator Q :

Halpern (2008) discute o casamento de impedância em seu livro, especificamente no Capítulo 7. Para isso ele utiliza como abordagem inicial o circuito RLC série, sendo R a resistência, L a indutância e C a capacitância.

Figura 3 – Circuito RLC série.



Fonte: Halpern (2008).

É necessário entender como funciona o efeito da ressonância nesse tipo de circuito, para isso tem-se que a impedância do circuito é:

$$Z = j\omega L + \frac{1}{j\omega C} + R = R + j\left(1 - \frac{1}{\omega^2 LC}\right) \quad (1)$$

O efeito da ressonância ocorre quando a parte imaginária da impedância é nula, ou seja, $\Im\{Z\} = 0$. Para que essa condição seja satisfeita tem-se:

$$\omega = \frac{1}{\sqrt{LC}} = \omega_0 \quad (2)$$

Essa é a frequência de ressonância do circuito RLC, ω_0 . Agora observa-se a tensão no indutor desse circuito na frequência de ressonância.

$$v_L = j\omega_0 Li = j\omega_0 L \frac{v_s}{Z(\omega_0)} = j\omega_0 L \frac{v_s}{R} = jQ \times v_s \quad (3)$$

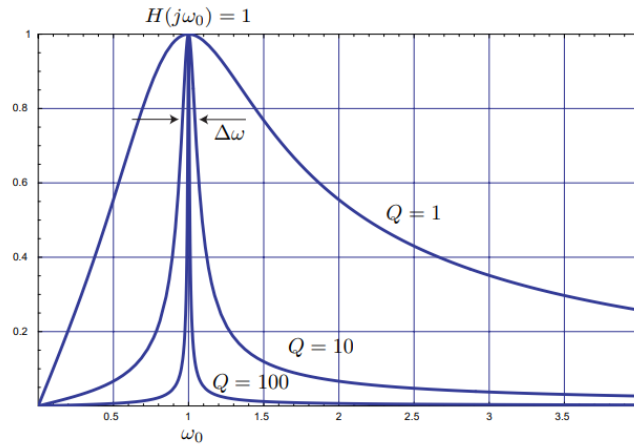
$$Q = \frac{\omega_0 L}{R} \quad (4)$$

Sendo Q chamado de fator de qualidade. Como pode-se ver na equação (3) a tensão no indutor, na frequência de ressonância, é igual a tensão da fonte multiplicada pelo fator Q . Por esse motivo fator de qualidade é um parâmetro importante para o casamento de impedâncias, haja vista essa multiplicação da tensão por meio de elementos passivos. O fator Q também influencia na seletividade de frequências no circuito. Analisando a equação (5) que é a função de transferência do circuito da Figura 3, segundo Halpern (2008).

$$H(j\omega) = \frac{v_0}{v_s} = \frac{j\omega \frac{\omega_0}{Q}}{\omega_0^2 + (j\omega)^2 + j\frac{\omega\omega_0}{Q}} \quad (5)$$

Logo ao analisar a função de transferência para diferentes valores de Q tem-se o gráfico da Figura 4.

Figura 4 – Resposta em frequência da Função Transferência do circuito RLC variando o Q .



Fonte: Halpern (2008).

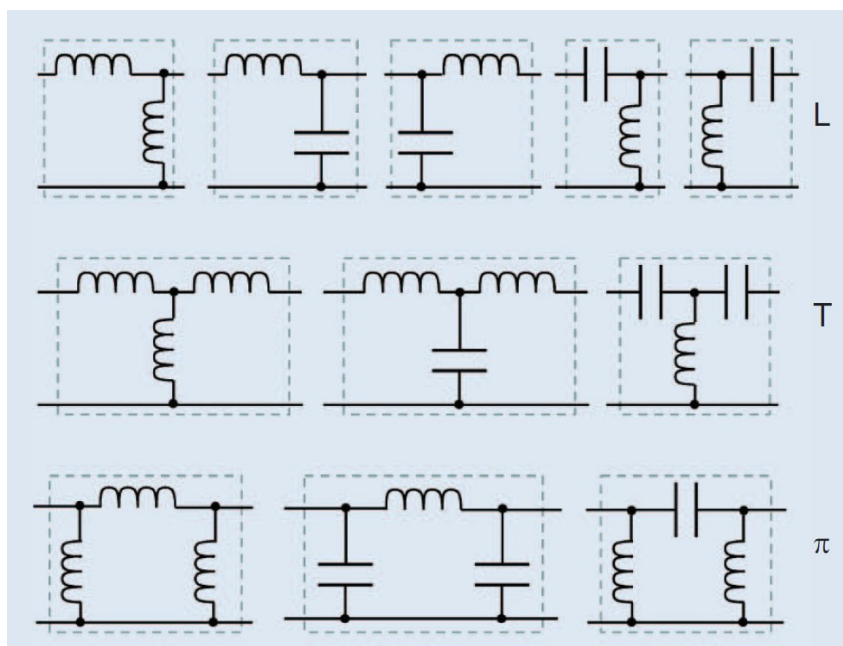
Com a Figura 4 fica evidente que o fator Q , além de poder contribuir com um aumento passivo da tensão de entrada, também influencia diretamente na seletividade da frequência do circuito. O aumento passivo de tensão é utilizado como fator positivo para os circuitos retificadores que serão vistos na próxima seção. Os trabalhos de Shekhar, Varma e Maringanti

(2015) e Soyata *et al.* (2016) reforçam esse tipo de uso do circuito de casamento de impedância para melhorar a sensibilidade dos retificadores.

Tipos de Rede de Casamento de Impedância:

Existem diversos tipos de circuito para casamento de impedância com os mais variados níveis de complexidade. Nesta seção explora-se os tipos citados no trabalho de Soyata *et al.* (2016). A Figura 5 mostra as topologias desses circuitos.

Figura 5 – Tipos de arranjos para realizar o casamento de impedâncias.



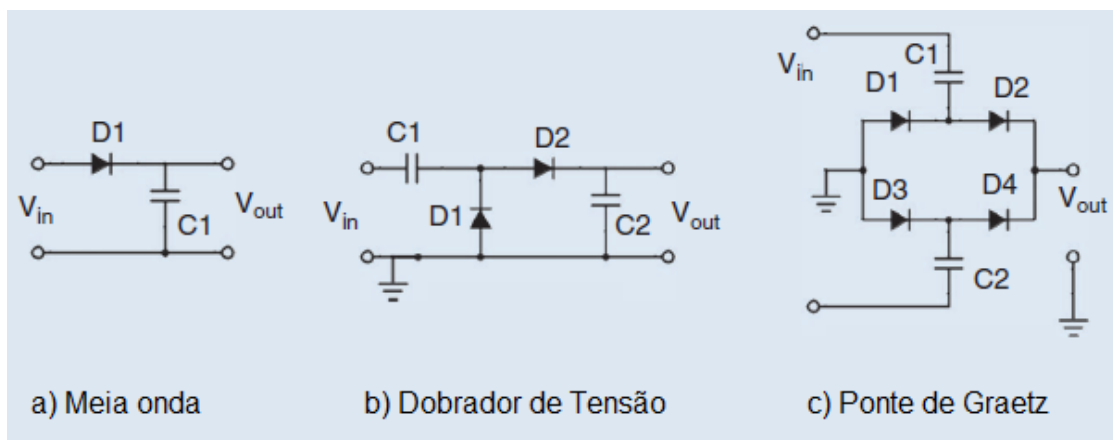
Fonte: Adaptado de Soyata *et al.* (2016).

- **Redes L:** Segundo Soyata *et al.* (2016), as redes L são chamadas assim devido à forma como os componentes indutor e capacitor são conectados em formato de L. Essa configuração ajusta a antena ao retificador e pode cancelar a impedância reativa indesejada. Na frequência selecionada, esse circuito equivalente se comporta como um tanque LC ressonante, com uma carga resistiva correspondente à resistência de entrada para maximizar a transferência de energia.
- **Redes T e π :** Segundo Soyata *et al.* (2016), as redes T e π são arranjos mais complexos com múltiplos estágios de capacitores e indutores. Essas redes não alteram a correspondência de impedância final, mas podem alterar o Fator de Qualidade (Q) do circuito, potencialmente melhorando o aumento passivo de tensão.

2.1.3. Retificadores

A necessidade do retificador se torna evidente pelo fato de que a energia RF, coletada pela antena, tem comportamento oscilatório e as aplicações exigem uma tensão contínua. Segundo Ohira (2013) também é importante definir a topologia do retificador, o que poderá ter efeito na eficiência energética em um dado ponto de operação (de acordo com os níveis de potência). Desse modo serão explorados alguns tipos de retificadores que podem ser utilizados em um circuito de Rectenna. A Figura 6 mostra a abordagem do autor Soyata *et al.* (2016) que traz os tipos de retificadores que utilizam diodos.

Figura 6 – Topologias de Retificadores Simples.



Fonte: Adaptado de Soyata *et al.* (2016).

No item a da Figura 16, observa-se a topologia de retificador de meia onda que utiliza um meio ciclo na etapa de retificação. Já no item c, é vista a topologia da ponte de Graetz que aproveita os semiciclos positivo e negativo para a retificação, mas não fornece aumento de tensão. Neste trabalho buscou-se o desenvolvimento por meio de topologias que podem ser consideradas evoluções do dobrador de tensão, visto no item b: Os multiplicadores de tensão, pois são capazes de fornecer um aumento no nível de tensão. Na topologia de multiplicador de tensão tem-se que a tensão de saída é dada por:

$$V_{DC} = N * (V_{pp,RF} - V_D) \quad (6)$$

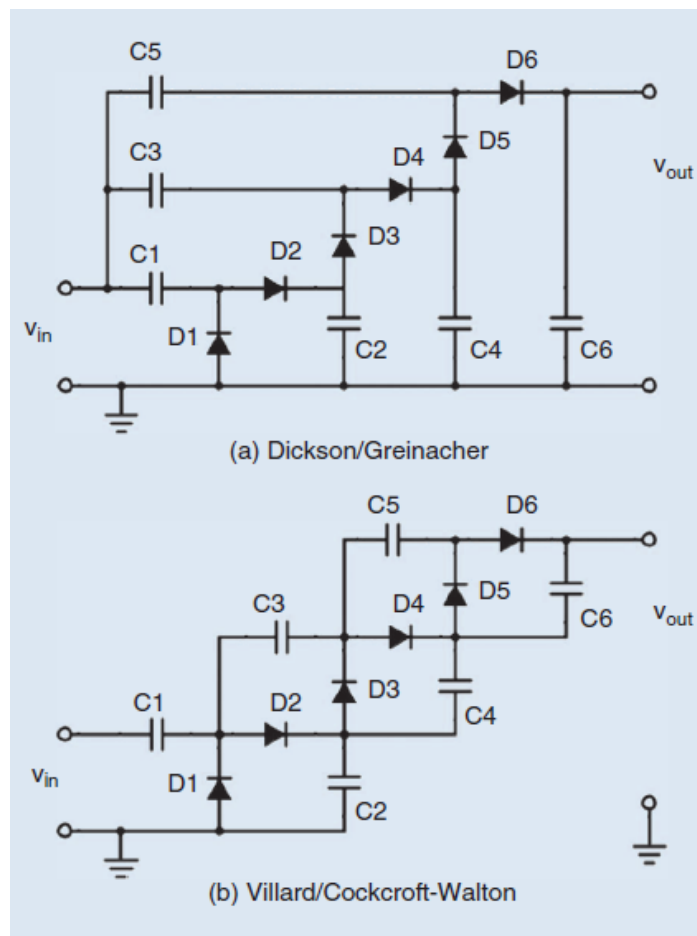
Onde V_D é queda de tensão em um diodo, N é o número de estágios e $V_{pp,RF}$ é a tensão de pico a pico da entrada RF. O problema dessa equação é que ela é apenas uma simplificação que não leva em consideração os efeitos parasitas que aumentam a medida em que se adicionam mais estágios. Em circuito de potência essa aproximação é válida, mas para coleta de energia,

segundo Soyata *et al.* (2016), modelar corretamente a impedância e os efeitos parasitas é complexo analiticamente e, por isso, devem ser utilizadas simulações.

Observando a equação 6, nota-se que a tensão é diretamente proporcional número de estágios no multiplicador, porém, como disse Umeda *et al.* (2006), reduções no número de estágios retificadores resultam em menos dispositivos de dissipação de energia (como diodos), contribuindo para uma melhoria geral na eficiência do circuito. Barnett *et al.* (2009) relatou em seu trabalho que, quando o número de estágios aumenta em N , as perdas aumentam em N^2 , e a consequência é que em algum ponto, a tensão de saída começa a diminuir com o aumento de N .

Na Figura 7, é possível verificar os esquemas de ligação para os multiplicadores de tensão de Dickson/Greinacher e de Villard/Cockcroft-Walton. Neste trabalho priorizou-se a utilização da topologia de Dickson/Greinacher, devido a simplicidade da implementação.

Figura 7 – Multiplicadores de Tensão de A) Dickson/Greinacher e de B) Villard/Cockcroft-Walton.



Fonte: Soyata *et al.* (2016).

Os autores Shekhar, Varma e Maringanti (2015) definem C_1 , C_3 e C_5 , vistos na Figura 7.a, como capacitores de acoplamento, uma vez que estes acoplam o sinal do RF para o restante

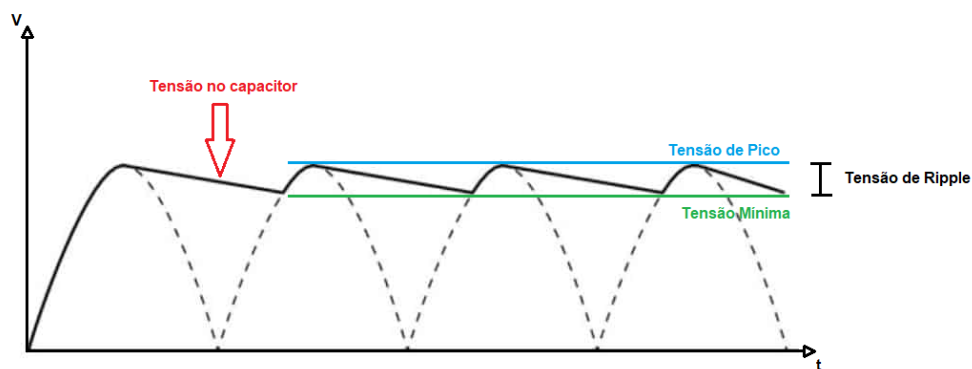
da célula multiplicadora. Já os capacitores C_2 , C_4 e C_6 são chamados de capacitores de armazenamento e são os responsáveis por empilhar a tensão, e assim aumentá-la.

É comum que as células dos multiplicadores tenham um valor específico para os capacitores de acoplamento e outro para os capacitores de armazenamento. Dessa forma, segundo Barbi (2006), o valor do capacitor de filtro pode ser dado por:

$$C_2 = \frac{P_{in}}{f * (V_{in}^2 - V_{min}^2)} \quad (7)$$

Sendo V_{in} a tensão de pico na entrada do retificador, V_{min} a tensão mínima, f a frequência de operação e P_{in} a potência de entrada do retificador. A Figura 8 demonstra o comportamento da tensão de Ripple do retificador.

Figura 8 – Tensão no Capacitor de Armazenamento.



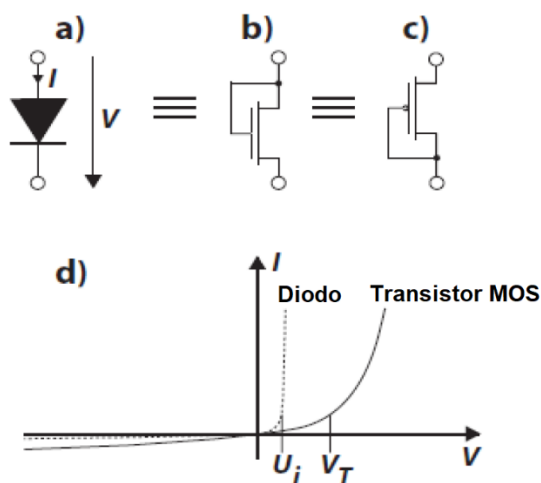
Fonte: Autoria Própria (2024).

Já para os capacitores de acoplamento os autores Shekhar, Varma e Maringanti (2015) utilizaram um valor menor, cerca de um terço do valor do capacitor de armazenamento.

2.1.4. Mosfets funcionando como Diodos

Em trabalhos que envolvem a coleta de energia por RF é comum encontrar retificadores que utilizam em suas topologias diodos, porém, na maioria dos casos esses diodos são implementados utilizando transistores MOS ligado como diodos. O trabalho de Shekhar, Varma e Maringanti (2015) utilizou essa ligação e exemplificou sua utilização visto na Figura 9.

Figura 9 – Transistor MOS funcionando como Diodo. A) Representação simbólica do diodo. B) Transistor NMOS conectado como Diodo. C) Transistor PMOS conectado como Diodo. D) Comparação das curvas características (V-I) de um Diodo e de um Transistor MOS ligado como diodo.

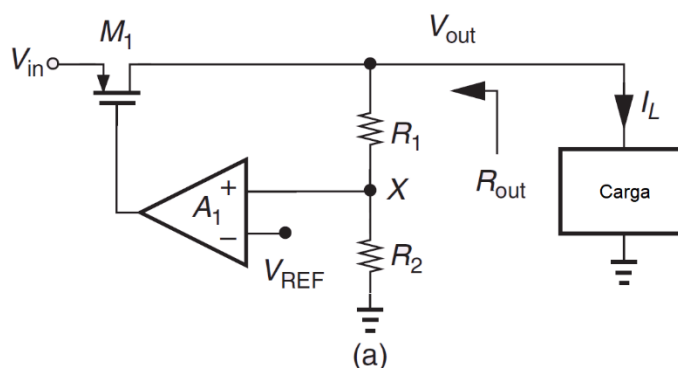


Fonte: Adaptado de Shekhar, Varma e Maringanti (2015).

Na Figura 9 observa-se que é possível conectar como diodo tanto o transistor NMOS (Figura 9.b) quanto o transistor PMOS (Figura 9.c). Essa ligação é possível porque o transistor MOS é uma fonte de corrente controlada por tensão, dessa forma ao conectar o terminal *gate* do MOS no *source* ou *dreno*, a depender do tipo do transistor, fara com que ele seja polarizado em um sentido e outro não, tornando o funcionamento semelhante a um Diodo. Outro fator importante é a análise da curva característica vista na imagem (Figura 9.d) onde pode-se observar que a tensão de polarização direta do diodo é análoga a Tensão de Limiar (do inglês, *Threshold*) do transistor MOS.

2.1.5. Reguladores LDO

Um regulador LDO (*Low Dropout*) é um tipo de regulador de tensão usado em eletrônica para fornecer uma saída de tensão estável e regulada a partir de uma fonte de alimentação de entrada. Dentre as suas características estão a baixa queda de tensão entre entrada e saída, estabilidade e redução de ruído e topologia simples. A topologia do Regulador LDO foi escolhida baseada no trabalho de Razavi (2019). Uma das topologias mostradas pelo autor é vista na Figura 10, que se trata de um Regulador LDO usando uma fonte de corrente controlada.

Figura 10 – LDO usando uma fonte de corrente controlada.

Fonte: Adaptado de Razavi (2019).

Esse tipo de regulador dispensa a utilização de chaveamento em frequência o que evita ruídos por esse tipo de prática. O funcionamento dele é baseado em um comparador que compara a amostra de uma tensão de saída com uma tensão de referência fixa. O circuito encontra uma condição de equilíbrio quando a tensão no Ponto X é igual a tensão de referência. Se a tensão de saída resultar em uma tensão em X maior que a tensão de referência, o comparador atua para cortar a chave (MOSFET) para que a tensão da saída diminua. Se a tensão de resultar em uma tensão no ponto X menor que a tensão de referência o comparador irá atuar para que a chave (MOSFET) seja ligada aumentando a tensão de saída. O resultado das ações do comparador culmina em um ponto de operação do circuito onde a tensão no ponto X é igual a tensão de referência. É importante ressaltar que a tensão no ponto X está relacionada com a tensão de saída pelo divisor de tensão.

2.2. Internet das Coisas (IoT)

Segundo MADAKAM (2015), o termo “Internet das coisas” é formado por duas palavras-chave:

- Internet: que remete a uma rede de computadores de nível mundial que se conectam por meio de protocolos como TCP/IP para atender bilhões de usuários.
- Coisas: se refere aos objetos do cotidiano das pessoas não somente a dispositivos eletrônicos, mas também a roupas, móveis, peças, equipamentos entre outros.

Dando um significado geral, no contexto de IoT (Internet das Coisas), a palavra coisas pode ser relacionada a tudo, objetos eletrônicos ou não. Podendo ser inanimados como uma cadeira, ou até mesmo seres vivos como animais ou seres humanos.

Segundo MADAKAM (2015), a melhor definição para internet das coisas é que ela é uma rede aberta e abrangente de objetos inteligentes que têm a capacidade de se auto-organizar,

compartilhar informações, dados e recursos, reagindo e agindo diante de situações e mudanças no ambiente. Porém, a internet das coisas é uma área relativamente nova, e por isso, não há somente uma definição dessa tecnologia. Para entender melhor o advento da IoT é melhor entender um pouco de sua história.

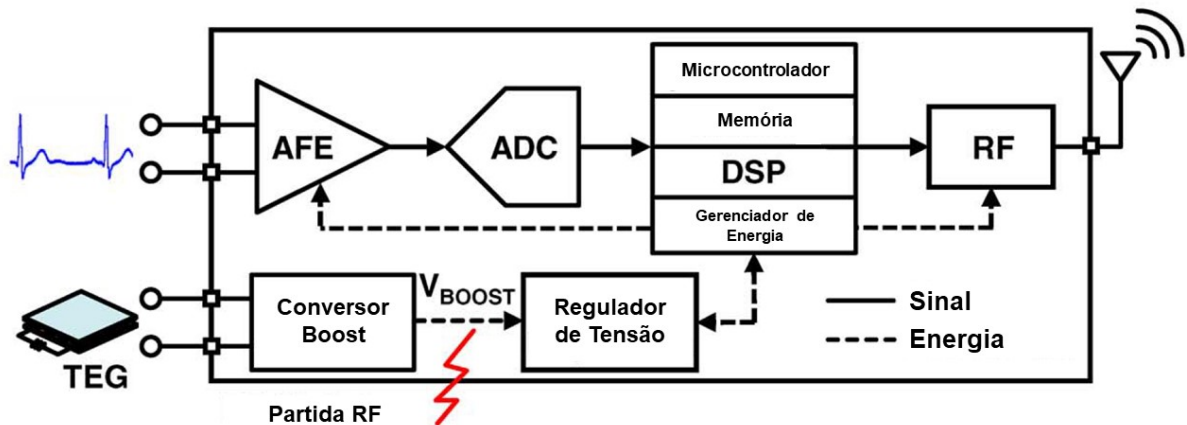
2.2.1. História da Internet da Coisas

Segundo MADAKAM (2015), o conceito remonta ao início dos anos 1980, quando uma máquina de refrigerantes na Universidade Carnegie Melon se tornou o primeiro dispositivo conectado à Internet. Programadores desenvolveram um programa servidor que monitorava o status da máquina e podia ser acessado remotamente. Logo em seguida a expressão "Internet das Coisas" foi cunhada por Kevin Ashton, diretor executivo do Auto-ID Labs no MIT, em 1999. Desde então, houve um rápido desenvolvimento, com avanços como o RFID sendo adotados em larga escala pelo Departamento de Defesa dos EUA e pela Wal-Mart nos anos seguintes. Como prova desse desenvolvimento no ano de 2000 a LG anunciou os primeiros planos para geladeiras conectadas a internet. Já em 2008, a IoT foi oficialmente reconhecida e promovida pela União Europeia, resultando na criação da IPSO *Alliance* para promover o uso de IP em redes de "objetos inteligentes". O crescimento contínuo da IoT levou a importantes marcos, como o lançamento público do IPv6 em 2011, permitindo um número massivo de endereços IP para suportar a crescente rede de dispositivos interconectados.

2.2.2. Aplicações de coleta de energia em Internet da Coisas

O artigo de Zhang *et al.* (2013) demonstra uma aplicação de coleta de energia para internet das coisas. Ele trata de um SoC BSN (*Body Sensor Nodes*) que é capaz de utilizar coleta de energia termoelétrica e de radiofrequência para realizar a coleta, o processamento e a transmissão de dados de um eletrocardiograma (ECG), eletromiograma (EMG) e eletroencefalograma (EEG). Esse chip utiliza a coleta de energia de RF (rádio frequência) para realizar a partida inicial do sistema que é fundamentalmente alimentado por meio da energia termoelétrica do corpo.

Figura 11 – Diagrama de alto nível do BSN proposto.

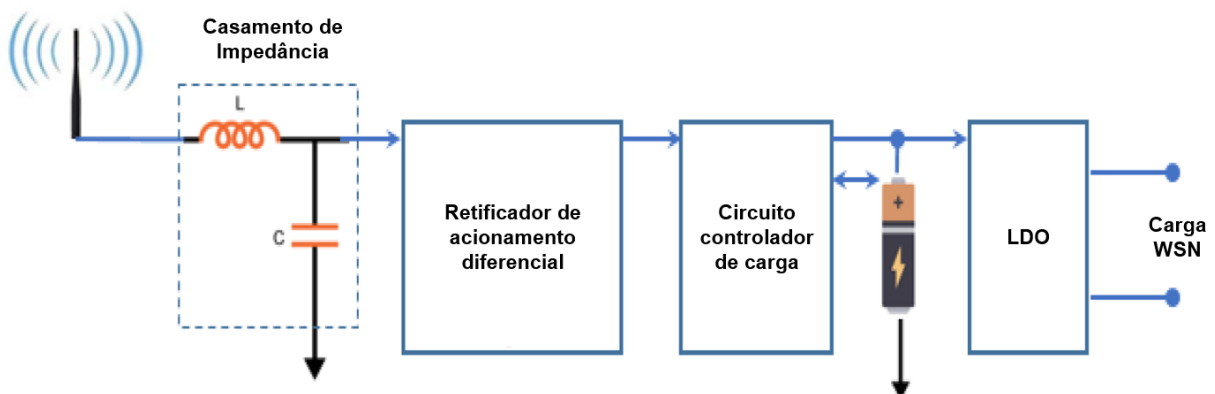


Fonte: Adaptado de Zhang *et al.* (2013).

O chip em questão possui um consumo de $19 \mu W$ e é considerado de ultrabaixo consumo, sendo totalmente autônomo. A utilização desse SoC pode ser vista como uma aplicação de internet das coisas por meio da coleta de energia.

Hora *et al.* (2019) também traz uma interessante aplicação da coleta de energia em internet das coisas. Semelhante a proposta desse trabalho, o autor utilizou de um sistema coletor de energia RF que possui um regulador LDO para manter uma tensão de saída estável com a proposta de carregar uma bateria de 1,2 V que alimenta um sensor que é parte de uma *Wireless Sensor Networks* (Rede de Sensores Wireless) utilizada em Internet das coisas. A Figura 12 mostra a topologia proposta pelo autor.

Figura 12 – Diagrama de Blocos do Sistema de Alimentação do Sensor da rede WSN.



Fonte: Adaptado de Hora *et al.* (2019).

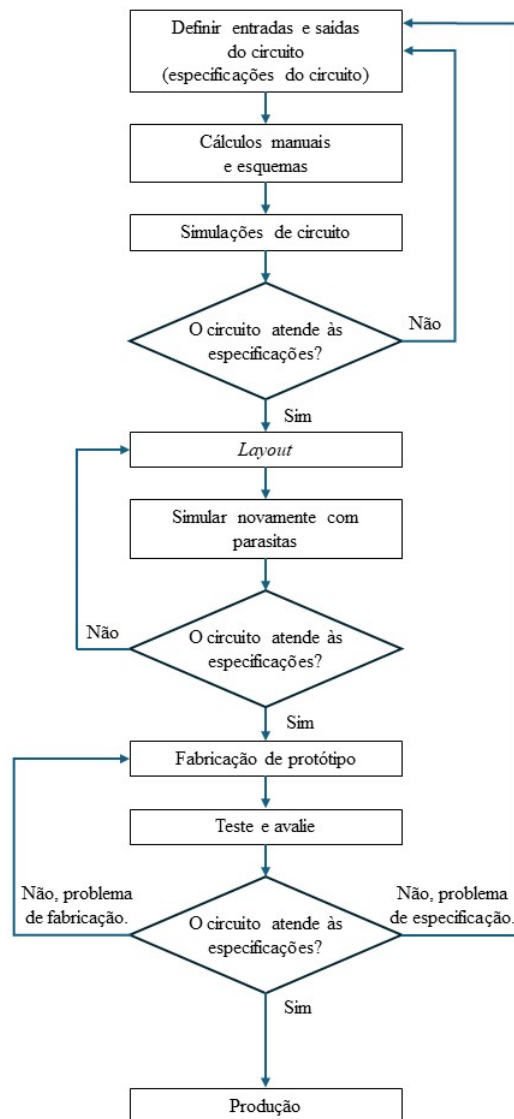
2.3. Fluxo de projeto de CI Open-source – Sky130 nm

O *design* de circuitos integrados (CIs) desempenha um importante papel na tecnologia moderna, permitindo o desenvolvimento de dispositivos eletrônicos avançados.

Tradicionalmente, o uso de ferramentas proprietárias para o *design* de CIs apresentava desafios significativos, como altos custos e dependência de fornecedores. No entanto, o surgimento de um ecossistema de *software open-source* tem revolucionado essa área, oferecendo alternativas acessíveis e flexíveis para os *designers* de chips. Ao contrário das soluções proprietárias, o *software open-source* permite maior liberdade, reduz custos e elimina barreiras de entrada para pequenas equipes e pesquisadores independentes.

O fluxo para o desenvolvimento de um projeto de microeletrônica pode ser observado no livro de Baker (2010). Vale destacar que o trabalho em questão é puramente analógico, por esse motivo as ferramentas utilizadas são para tal fim. A Figura 13 mostra o fluxograma de um projeto CMOS CI na visão do Autor.

Figura 13 – Fluxograma do processo de *design* do CMOS IC.

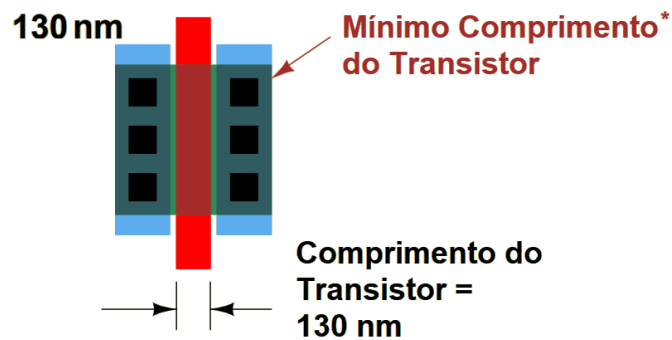


2.3.1. Tecnologia Sky130nm

A tecnologia Sky130nm representa um avanço significativo na fabricação de semicondutores, desenvolvida em colaboração entre a SkyWater Technology Foundry e a Google. Esta tecnologia oferece um processo de fabricação de chips em 130 nanômetros, destinado a ser acessível para a comunidade de *design* de chips. Segundo Edwards (2021) a tecnologia sky130nm representa a nova era do silício em código aberto.

A Figura 14 demonstra qual o significado da metragem descrita no título da tecnologia, trata-se do comprimento mínimo do transistor que pode ser fabricado.

Figura 14 – Comprimento mínimo de um transistor da tecnologia Sky130nm.



Fonte: Adaptado de Edwards (2021).

3. METODOLOGIA

Nesta seção serão exibidos os métodos utilizados para o desenvolvimento do projeto bem como as ferramentas e técnicas que foram utilizadas. Primeiro é importante ter em mente o objetivo final do projeto que é o desenvolvimento do circuito do Regulador LDO alimentado por coleta de energia para a fabricação na tecnologia Sky130nm.

Para um circuito dessa natureza existem seis parâmetros primordiais que devem ser priorizados durante o desenvolvimento:

- **Eficiência Energética:** O circuito se propõe a atuar por meio da coleta de Energia RF em ultrabaixa potência, alimentando sensores aplicados em IoT. Logo é ideal que ele possua baixas perdas energéticas para suprir as necessidades da carga.
- **Sensibilidade:** Os níveis de tensão e potência necessários para fazer o circuito funcionar são ditos como sensibilidade do circuito e busca-se otimizar o projeto baseando-se nesse quesito.
- **Capacidade:** O circuito se propõe a realizar a alimentação de sensores ou outras cargas que atuem em ultrabaixa potência, porém é necessário garantir níveis mínimos de potência entregue.
- **Tempo de resposta:** O estágio de retificador do circuito proposto necessita de um tempo para atingir os níveis de tensão idealizados, esse tempo está associado ao projeto e deve ser minimizado.
- **Dimensão:** Esse quesito está diretamente ligado a etapa de fabricação uma vez que, reduzir o tamanho do projeto implica em menores custos e miniaturização.
- **Custo:** Os custos por si só podem influenciar de outras maneiras nas decisões do projeto, desse modo busca-se otimizar esse parâmetro.

3.1. Circuito Proposto

3.1.1. Especificações Iniciais

Após apresentar os ideais do projeto parte-se para a especificação do circuito. Prezando pela simplicidade da aplicação, que reduz os custos de produção, o primeiro parâmetro determinado foi a frequência de operação do circuito. Nesse caso optou-se por um projeto *Single-band*, de frequência única, configurado para operar em 2,45 GHz, por ser uma frequência da faixa Industrial, Científica e Médica (ISM, do inglês *Industrial, scientific, and medical*). Estabelecida a frequência, visando as aplicações de IoT, tomou-se como referência uma tensão de saída de 1,8 V uma potência de saída de 17 μ W, que são valores utilizados em trabalhos

semelhantes como, por exemplo, o trabalho de Zhang *et al.* (2013) com tensão igual e potência ordem grandeza de $19 \mu\text{W}$. Os parâmetros iniciais estão expressos na Tabela 1.

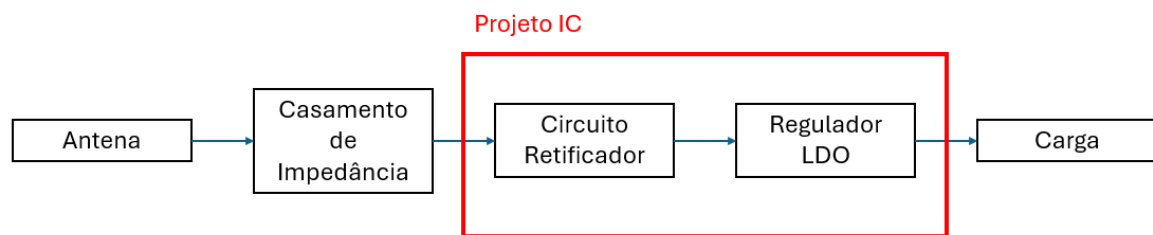
Tabela 1 – Parâmetros Iniciais do Projeto.

Parâmetros	Valores
f	2,45 GHz
V_{out}	1,8 V
P_{out}	$17 \mu\text{W}$

Fonte: Autoria Própria (2024).

Desse modo pode-se ter ideia da funcionalidade do circuito para as aplicações finais por meio da Figura 15 que mostra o sistema proposto. A energia RF é coletada pela antena depois passa por um circuito casador de impedância para então alimentar o Chip desenvolvido que por sua vez irá entrar um nível DC de alimentação para a carga. O próximo passo é o desenvolvimento dos blocos individuais do Projeto CI. Após a especificação do circuito vem a etapa de simulações que foram realizadas com o software *Ngspice* por meio do *Xschem* que lida com os esquemáticos. Vale salientar que essas ferramentas são *open-source* e é no *Xschem* onde estão contidos os modelos *Spice* que simulam os componentes da biblioteca do sky130nm. O software é munido com modelos precisos dos transistores, capacitores e resistores utilizados pela tecnologia sky130nm.

Figura 15 – Diagrama de Blocos do Circuito Proposto.



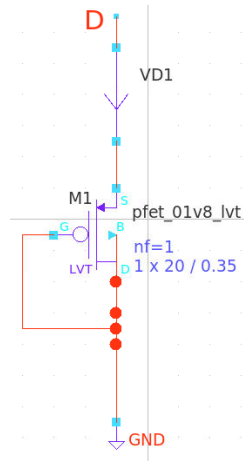
Fonte: Autoria Própria (2024).

3.1.2. Retificador

A primeira etapa da pesquisa com relação ao retificador é a escolha da topologia. No caso deste trabalho optou-se por utilizar a topologia do Multiplicador de Tensão de Dickson. Para que sejam realizadas simulações com as células retificadoras é necessário antes de tudo estudar o comportamento do transistor MOS na ligação como diodo. Desse modo desenvolveu-se uma simulação DC específica, vista na Figura 16, que levanta a curva característica do MOS

ligado como diodo, variando a tensão de $-1,8\text{ V}$ a $1,8\text{ V}$, para escolher o tipo e os tamanhos W e L do transistor nessa aplicação.

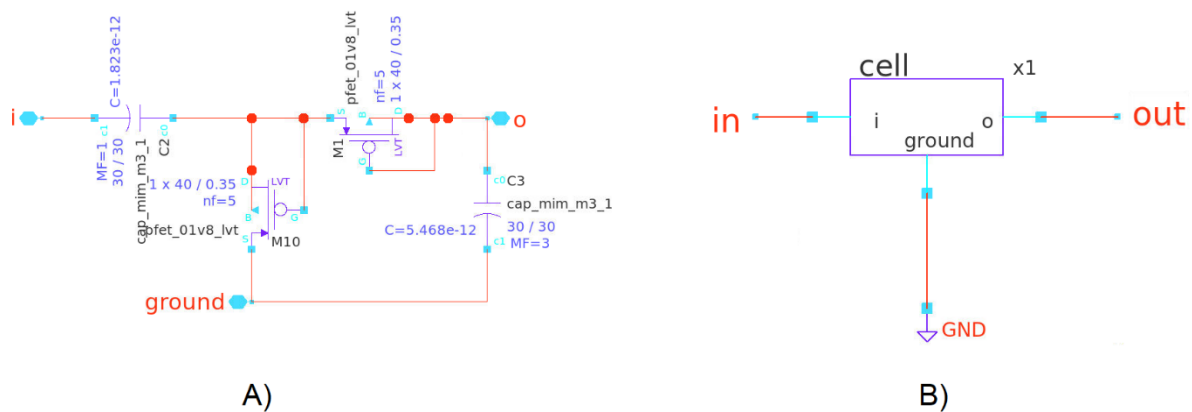
Figura 16 – Esquemático da Simulação para verificar a curva característica do Diodo.



Fonte: Autoria Própria (2024).

Após definir o tipo e otimizar os Mosfets para atuação como diodo, foi calculado o valor do capacitor de armazenamento e com base nele definido o valor do capacitor de acoplamento para então montar a célula retificadora, vista na Figura 17.

Figura 17 – Célula Retificadora. A) Esquemático. B) Símbolo.



Fonte: Autoria Própria (2024).

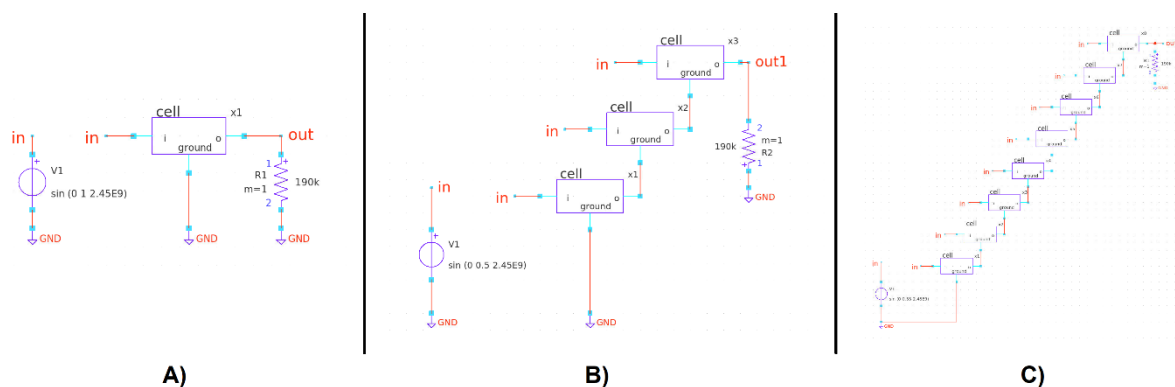
O Retificador Multiplicador de Tensão de Dickson possui a característica de retificar e aumentar a tensão de acordo com o número de células multiplicadoras como mostrado na equação (6). Como foi explicitado no referencial teórico, essa equação é uma aproximação e dados os níveis de potência envolvidos nessa aplicação, o aumento do número de estágios pode contribuir negativamente para o aumento da tensão e eficiência do circuito. Então para definir

o número de estágios do retificador foram realizadas simulações que observavam dois fatores importantes para o funcionamento do circuito:

- O nível de tensão atingido com relação ao nível de tensão injetado comparando os resultados de diferentes números de células. Com essa simulação transiente espera-se observar os efeitos parasitas gerados pelo aumento do número de estágios que se reflete na discrepância entre o valor calculado na equação (6) e o resultado prático da simulação.

A Figura 18 mostra os esquemáticos dessas simulações para 1 célula, 3 células e 8 células.

Figura 18 – Simulações com fontes ideais. A) 1 Estágio. B) 3 Estágios. C) 8 Estágios.



Fonte: Autoria Própria (2024).

- A sensibilidade do retificador que está diretamente relacionada a potência de entrada do circuito. A sensibilidade necessária para fazer o circuito funcionar deve ser o valor mínimo de potência que gera na saída do retificador (com carga) uma tensão capaz de alimentar o circuito regulador LDO e a carga da aplicação.

Um dos desafios encontrados é realizar testes de sensibilidade do retificador sem o uso de um circuito casador de impedância. Comparar diretamente um modelo de retificador de 1 estágio, que apenas dobra a tensão, com um circuito de 3 estágios, que aumenta em seis vezes a tensão, considerando apenas fontes ideais, não traz resultados práticos que justificam a escolha de um dos modelos. Com isso, para testar de fato a variação da sensibilidade do retificador, de acordo com o número de estágios, foi preciso desenvolver o circuito de casador de impedância para realizar os testes em simulação.

Para desenvolver a rede de casamento foi necessário modelar um circuito equivalente ao retificador. Segundo Bonfim (2008), o circuito multiplicador tem uma resposta equivalente a um circuito RC. Dessa forma desenvolveu-se uma simulação em que se modela os valores de resistor e capacitor equivalente para os modelos de 1 e 3 células. Antes de explicar a simulação

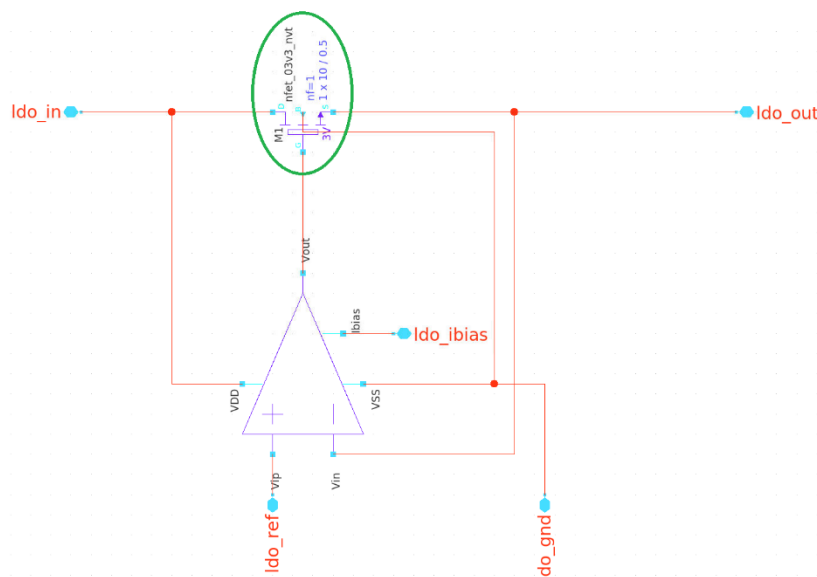
vale salientar que todas as simulações realizadas no circuito retificador possuem uma carga na saída de $190\text{ k}\Omega$ para simular o consumo de $17\text{ }\mu\text{W}$ se ligada a uma tensão de $1,8\text{ V}$.

A simulação para a modelagem do circuito RC se deu em duas etapas. A primeira consiste na adição de um indutor ideal de valor conhecido na saída do circuito e simular a resposta em frequência desse circuito. A ideia é que se o circuito é do tipo RLC ele possui uma frequência de Ressonância dada por $1/\sqrt{LC}$, logo, com o valor do indutor e a frequência de ressonância é possível estimar o valor da capacitância equivalente do circuito. A segunda parte remete a resposta natural do circuito, pois o tempo que leva para a tensão atingir 63,21% da tensão final é definido como τ , e em um circuito resistivo-capacitivo, $\tau = RC$. Onde R é a resistência e C a capacitância. Conhecendo o valor de τ e da capacitância é possível estimar a resistência equivalente do circuito. É importante deixar claro que essa modelagem é simplista, pois o circuito retificador não é linear e por isso o ideal é utilizar um modelo mais preciso que estime a impedância do circuito por meio de simulações. Como o intuito desse trabalho é o projeto do retificador + regulador a abordagem do casamento de impedância foi simplificada.

Após obter os valores do capacitor e resistor equivalente do circuito pode-se estimar a impedância do circuito RC para realizar o casamento de impedância. O modelo do circuito casador de impedância foi escolhido com base no trabalho de Shekhar, Varma e Maringanti (2015), onde os autores mostraram em seu modelo de circuito uma rede do tipo T com dois indutores e um capacitor (as vantagens serão discutidas na seção de resultados e discussões). Os valores dos componentes da rede de impedância foram calculados com a ajuda do site EEWEB (2024) que se trata de uma calculadora para esse fim. Por fim foram realizadas novas simulações que contam com a rede de casamento de impedância e a inserção da impedância da antena colocando a fonte agora como não mais ideal, tornando possível analisar o circuito do ponto de vista de potência de entrada. As simulações de sensibilidade envolvem um conjunto de simulações do tipo transiente no *Xschem*.

3.1.3. Regulador LDO

O desenvolvimento do regulador LDO passa pelo mesmo crivo que o retificador. É preciso verificar seu funcionamento por meio de simulações das simulações e assim otimizar seus parâmetros. A topologia do regulador LDO escolhida para projeto foi adaptada do modelo visto na Figura 10. A Figura 19 mostra o bloco do LDO criado no *Xschem*.

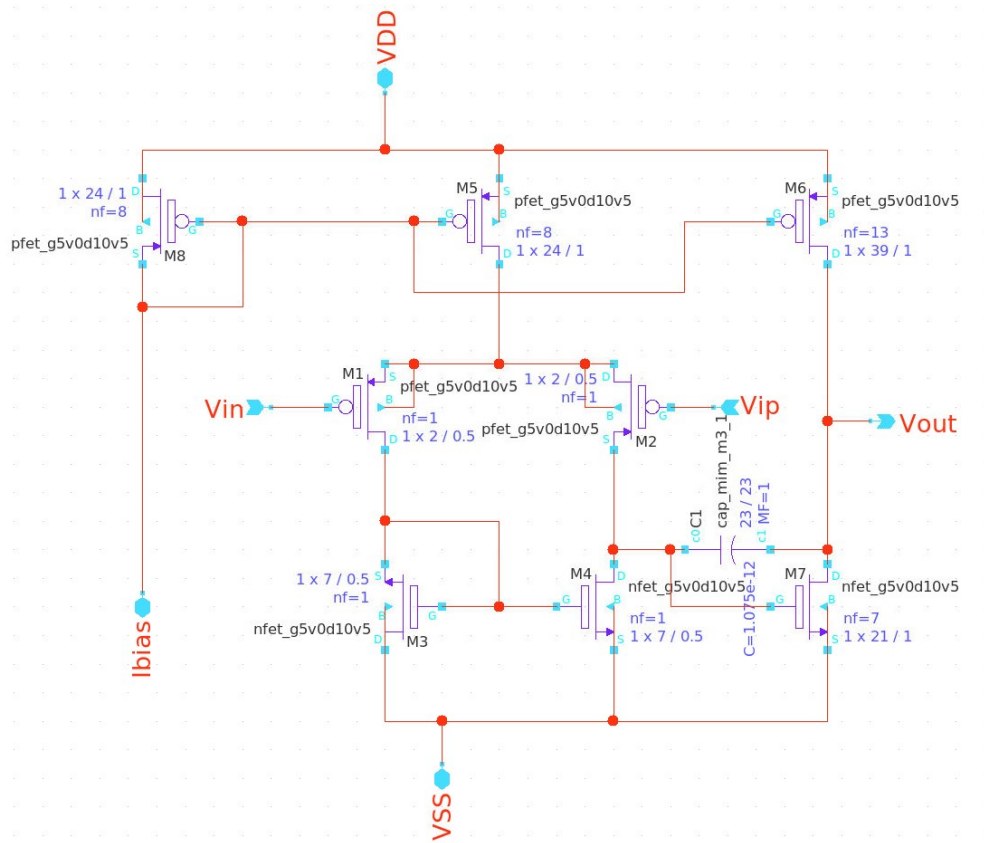
Figura 19 – Esquemático do Regulador LDO.

Fonte: Autoria Própria (2024).

Na Figura 19 pode-se observar a presença de um componente destacado na cor verde. Esse componente é o Mosfet responsável por regular a tensão e é ele que fica submetido a diferença de tensão entre a entrada e a saída do regulador. Nesse caso cogitou-se a utilização de dois modelos diferentes de Mosfets: O NMOS 1,8V *Low-Voltage Threshold* (LVT) e o NMOS 3,3V nativo. Sendo o modelo LVT um modelo de baixa tensão de limiar que o torna um bom candidato para a aplicação de baixa queda de tensão do regulador.

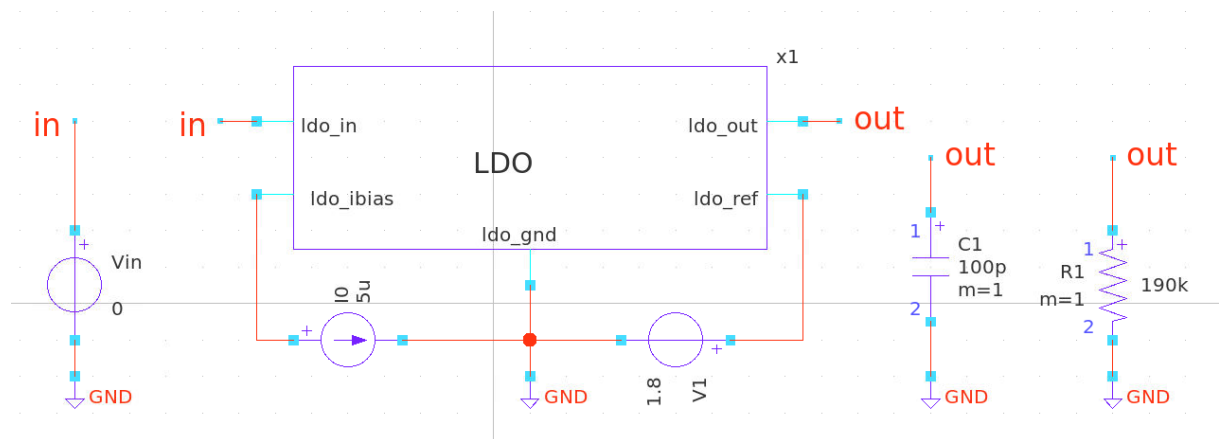
Desse modo foi realizada uma simulação DC para fazer a escolha entre os dois modelos e verificar a regulação de tensão do LDO. Na escolha também foi levada em conta a tensão máxima de cada componente. Outro fator importante na topologia foi a dispensa do divisor resistivo para a amostra da tensão de saída, tornando o projeto mais simples. Nesse caso a tensão de referência será fornecida de maneira externa ao chip. Outro detalhe de projeto é que para a estabilidade do regulador é necessária a inserção de um capacitor de 100 pF de filtro na saída, porém para reduzir o tamanho do projeto CI optou-se por deixá-lo fora do chip.

Para que o regulador funcione é necessário a implementação de um comparador. Para a função de comparador desenvolveu-se o circuito de um amplificador operacional baseado no trabalho de Cortes e Bampi (2006). A Figura 20 mostra a topologia do OTA, o amplificador operacional de transcondutância desenvolvido no projeto.

Figura 20 – Esquemático do Amplificador Operacional OTA.

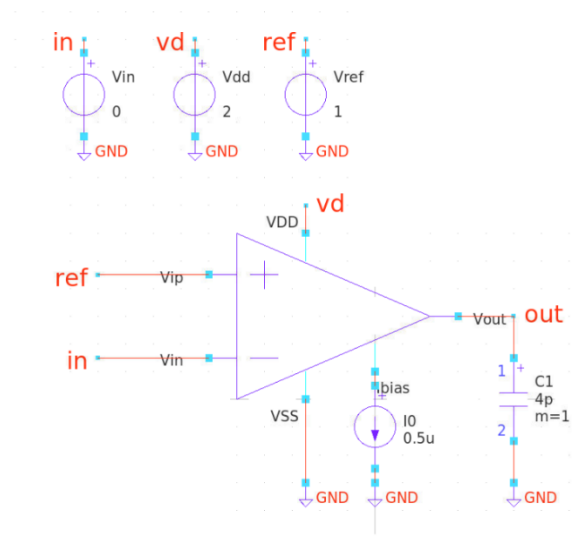
Fonte: Autoria Própria (2024).

Para a construção do comparador utilizou transistores do tipo 5.0/10.5V NMOS e PMOS FET. Dessa forma o amplificador pode, sem problemas, ficar submetido as tensões maiores que 1,8 V vindas da saída do retificador. A simulação DC do Regulador LDO pode ser vista na Figura 21. Já a simulação DC explora o comportamento de comparador do OTA e pode ser vista na Figura 22.

Figura 21 – Simulação do LDO para verificar a regulação de tensão.

Fonte: Autoria Própria (2024).

Figura 22 – Simulação DC do OTA como comparador.



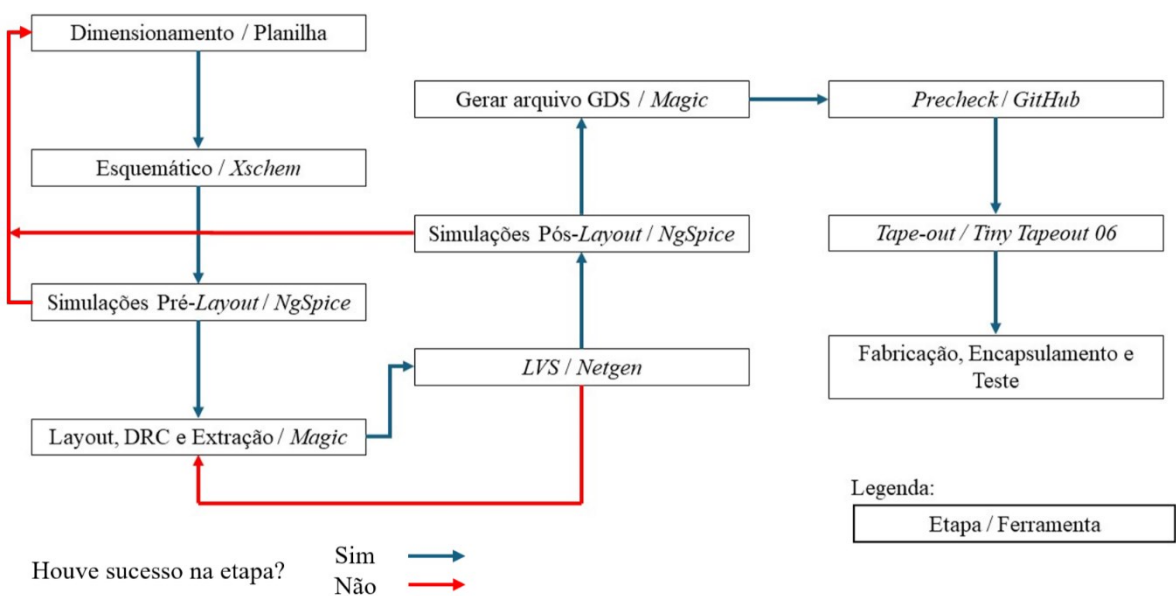
Fonte: Autoria Própria (2024).

Definidos e simulados os blocos de forma individual o projeto seguiu para as simulações de topo.

3.2. Fluxo de projeto *Open-source*

Nesta seção é apresentado o fluxo de projeto *open-source* agora contando com o topo do projeto. A Figura 23 mostra o fluxograma seguido durante o desenvolvimento.

Figura 23 – Fluxograma de Projeto *Open-source*.

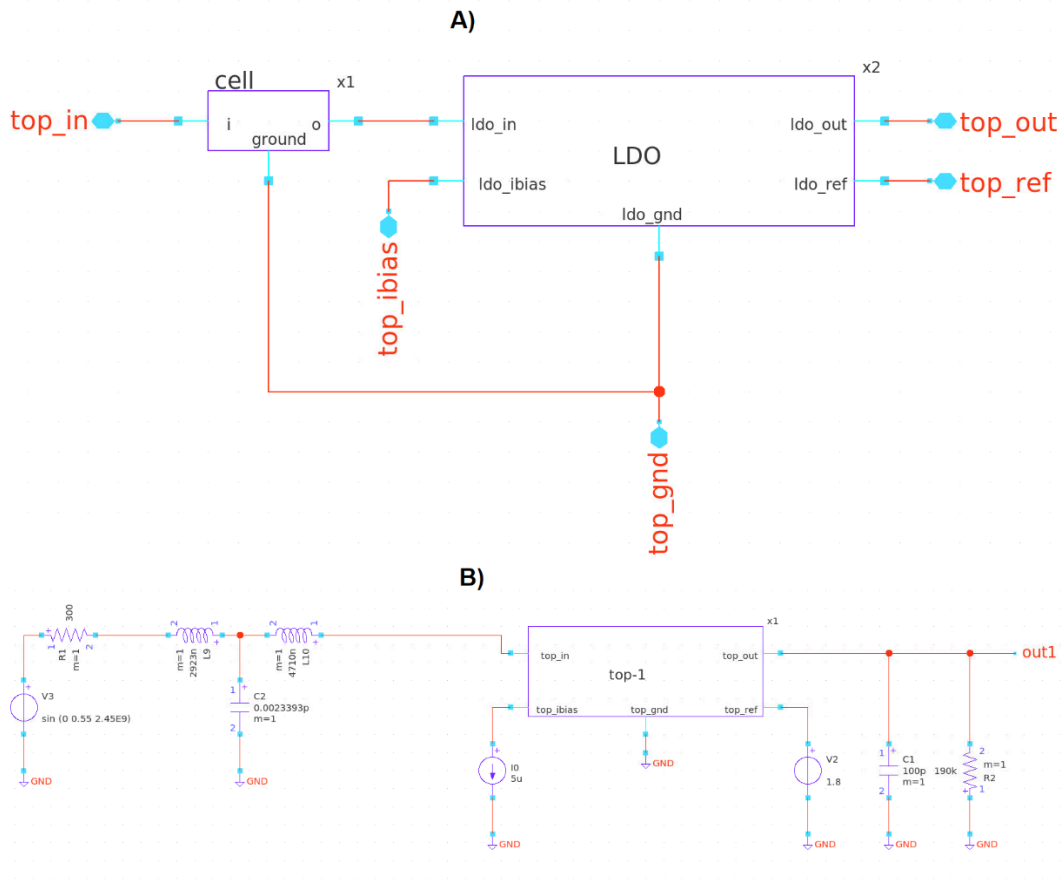


Fonte: Autoria Própria (2024).

Como feito anteriormente com os blocos de retificação e regulação da tensão, foi montado um esquemático do topo com a junção dos blocos retificador e regulador LDO. Para

esse esquemático foi montada uma simulação denominada *test-bench* que serve para analisar os resultados obtidos no Topo. O esquemático e o *test-bench* podem ser vistos na Figura 24.

Figura 24 – A) Esquemático do topo. B) *Test-bench* do topo.



Fonte: Autoria Própria (2024).

É importante salientar que alguns desses parâmetros foram alterados durante as simulações para identificar diferente possibilidade no circuito, por exemplo o valor de I_{bias} , corrente de polarização do OTA, que pode ser variado para verificar os impactos nos resultados. Desse modo, na seção de resultados estarão descritas quaisquer mudanças de parâmetros. Após verificar-se o desempenho satisfatório do circuito nas simulações de *pré-layout*. É possível seguir o fluxo de projeto e partir para o *Layout* por meio da ferramenta *Magic*.

A etapa de Layout envolve os conhecimentos de técnicas de *Layout* e fabricação dos Chips. Trata-se de realizar todas as conexões entre os componentes gerados a partir de uma *Netlist* vinda do *Xschem*, utilizando a ferramenta de checagem das regras de *design* conhecida pelo termo em inglês *Design Rule Checking* (DRC), incluída de forma automática no *software Magic*. As regras de *desing* são baseadas nas limitações da tecnologia, no caso desse projeto a

sky130nm. Desse modo só é possível garantir o funcionamento adequado do circuito após a fabricação seguindo o conjunto de regras definidas pela tecnologia.

Finalizada a etapa de *Layout*, é necessário averiguar se todas as conexões foram feitas corretamente e se não há incoerências entre o esquemático do circuito e o *Layout* do circuito. Para isso realiza-se a extração do modelo *spice* no *Magic* e utiliza-se a ferramenta *Netgen* para executar o *LVS* nos arquivos *spice*. Basicamente o *Netgen* compara os arquivos *spice* e se eles forem idênticos significa que a ligação foi bem executada e pode-se partir para próxima etapa do projeto, caso o resultado seja negativo é necessário investigar qual a incoerência entre os arquivos *spice*. Felizmente o processo do *LVS* gera um relatório completo dos circuitos que evidência qualquer problema.

Até aqui as etapas de simulação *pré-layout*, *desing do layout* e *LVS* foram executadas individualmente em cada bloco do projeto (Célula retificadora, Regulador LDO, Comparador OTA) e posteriormente na célula topo. Sendo as demais etapas do fluxograma da Figura 23 executadas apenas no topo do projeto, o nível mais alto da hierarquia.

Se o *LVS* foi aprovado deve-se utilizar o *Magic* para gerar um novo modelo do circuito, um que leva em conta a topologia do layout e modela as capacitâncias e resistências parasitas do layout, para que ele possa ser novamente simulado, levando em conta esses efeitos. Essa simulação é chamada de Simulação *pós-layout*. Realizada a simulação *pós-layout* observa-se se há incoerências no funcionamento do circuito entre a simulação *pré-layout* e *pós-layout*. Se o circuito se comportou como esperado o circuito está pronto para fabricação.

O circuito regulador de tensão LDO, alimentado por coleta de energia, desenvolvido no presente trabalho, foi submetido ao processo de fabricação por meio do *Tiny Tapeout 06*. Para isso foi necessário subir o projeto para um repositório no GitHub, que contém os arquivos necessários para geração do arquivo *gds* corretamente e por meio do *Git Actions*, foi realizado o *Precheck* que se trata de uma verificação das conexões do circuito à plataforma disponibilizada. Concluído com sucesso o *Precheck* o chip foi submetido à fabricação.

Com isto está encerrada a etapa de metodologia que mostra o passo-a-passo realizado para a elaboração da pesquisa.

4. RESULTADOS E DISCUSSÕES

Neste capítulo serão apresentados os resultados obtidos. Como visto o projeto final é soma de um conjunto em pequenos blocos, dessa forma a sessão de resultados irá mostrar os resultados individuais de cada um deles e já trará consigo parte do projeto de microeletrônica (simulação *pré-layout*, *desing* do *layout* e *LVS*). Sendo assim cada bloco individual, após a etapa de simulações, também terá seus resultados de layout e LVS exibidos. Por fim, a simulação *pós-layout* e as etapas posteriores foram executadas apenas no topo do projeto.

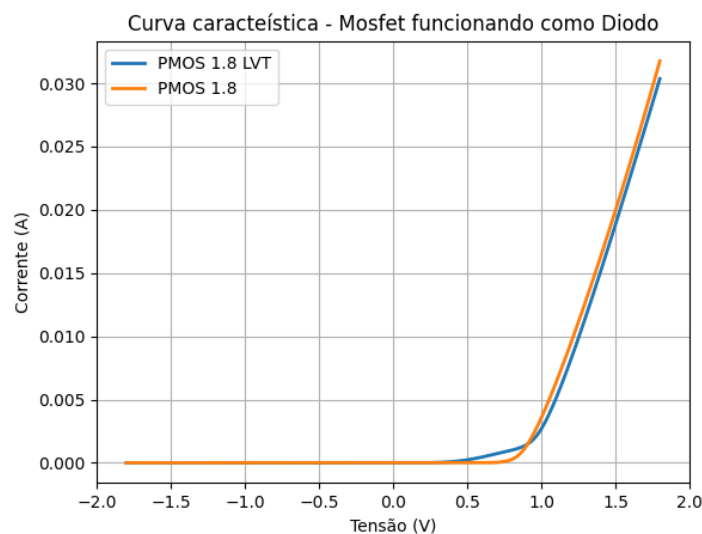
4.1. Retificador

4.1.1. Célula Retificadora

4.1.1.1. Transistor PMOS funcionando como Diodo

Após definida a topologia do retificador foi necessário definir quais tipos de transistores seriam utilizados para funcionar como diodo. A primeira discussão é referente ao substrato do transistor (PMOS ou NMOS). Uluşan *et al.* (2012) escolheu o uso de transistores PMOS, devido a liberdade de ligação do substrato que esse tipo de transistor tem. Nesse tipo de transistor os substratos podem ser conectados em locais diferentes sem ocasionar curto durante a fabricação. Definido o tipo de substrato optou-se por analisar dois modelos de Mosfet: O PMOS 1,8 V LVT e o PMOS 1,8 V, presentes na tecnologia sky130nm. O Figura 25 demonstra os resultados obtidos para transistores de mesmas dimensões.

Figura 25 – Curva de Corrente por Tensão.



Fonte: Autoria Própria (2024).

A diferença entre os transistores testados reside na baixa tensão de *Threshold* de V_{TH} do modelo LVT e como esperado, essa diferença impacta profundamente na curva característica do MOS operando como diodo. Assim como visto no trabalho de Shekhar, Varma e Maringanti (2015) o Gráfico 1.A mostra o diodo iniciando a condução por volta de 400 mV enquanto Gráfico 1.B atinge esse ponto por volta de 800 mV. Para essa aplicação busca-se as mínimas quedas de tensão sobre o diodo, pois busca-se maximizar a tensão e diminuir as perdas por dissipação, contudo, no trabalho de Shekhar, Varma e Maringanti (2015) é dito que tensões de limite menores levam a correntes de fuga maiores que também são um problema para a aplicação.

Nas simulações realizadas, as correntes de fuga reversas não foram um problema considerável, desse modo, optou-se pelo uso do PMOS 1,8 V LVT devido a melhoria dos níveis de sensibilidade do retificador que estão diretamente relacionados as tensões necessárias para levar os transistores à condução.

Outro fator que influencia na tensão mínima de condução é o tamanho do transistor. Verificou-se que o aumento do W/L, diminui o nível mínimo de tensão, porém segundo Shekhar, Varma e Maringanti (2015) aumentar muito o valor de W aumenta os valores de correntes reversas e pelas simulações realizadas, a partir de um dado ponto, grandes aumentos de W pouco surtiam efeito na tensão mínima. Feitas essas análises, optou-se por utilizar transistores com $W = 40 \mu\text{m}$, $L = 0,35 \mu\text{m}$.

4.1.1.2. Definindo o valor dos capacitores da célula

Para definir o valor do capacitor de armazenamento utilizou-se a equação (7) que foi baseada no livro de Barbi (2006) voltado à eletrônica de potência, mas que utiliza os mesmos fundamentos de circuito elétricos para a dedução da fórmula. O dimensionamento levou em conta a potência do circuito $P_{in} = 17 \mu\text{W}$, a tensão de pico $V_p = 100 \text{ mV}$ e a frequência de 2,45 GHz. Também se considerou um *Ripple* de 7% no sistema. Aplicando a equação, tem-se:

$$V_{min} = V_p - 7\% * V_p$$

$$V_{min} = 93\% * V_p = 93 \text{ mV}$$

$$C_{2teorico} = \frac{P_{in}}{f * (V_p^2 - V_{min}^2)} = 5,136 \text{ pF}$$

Obtido o valor teórico do capacitor de armazenamento, implementou-se esse componente com o modelo da tecnologia sky130nm *Metal-Insulator-Metal Capacitors* (MiM), que se trata de um capacitor que utiliza dois metais e um isolante da tecnologia. Com base nos

valores do modelo foi possível implementar a capacitância de armazenamento com 3 capacitores em paralelo que possuem dimensões $W = 30 \mu\text{m}$ e $L = 30 \mu\text{m}$. A capacitância utilizada, obtida a partir do modelo, foi:

$$C_2 = 5,468 \text{ pF}$$

Baseando-se no trabalho de Shekhar, Varma e Maringanti (2015) optou-se por utilizar a terça parte do valor do capacitor de armazenamento para o capacitor de acoplamento. Dessa forma o capacitor foi implementado por apenas 1 capacitor de $W = 30 \mu\text{m}$ e $L = 30 \mu\text{m}$. A capacitância de acoplamento tem valor:

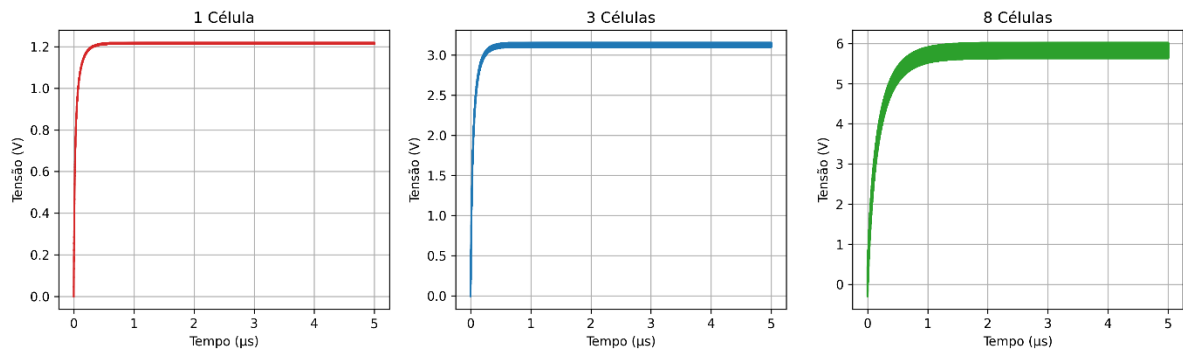
$$C_1 = \frac{C_2}{3} = 1,823 \text{ pF}$$

Assim foi montada a célula do bloco retificador vista na Figura 17.

4.1.2. Topo do Retificador

Definido o esquemático da célula é necessário decidir qual a quantidade de células será utilizada no retificador. Para isso realizou-se as simulações com fontes ideais em três arranjos diferentes: 1, 3 e 8 células considerando uma carga de $190k$ para simular um consumo de baixa potência. Os resultados dessa simulação podem ser vistos no Figura 26.

Figura 26 – Resultados das simulações do retificador com fonte ideais.



Fonte: Autoria Própria (2024).

Com base nos valores obtidos pelo gráfico foi implementada a Tabela 2. Relacionando os valores obtidos pela simulação e os valores teóricos calculados pela equação (6) levando em conta que a tensão da fonte tinha valor de pico de 1 V e considerando a queda de tensão no diodo igual a 0,4 V.

Tabela 2 – Resultados da Simulações com Fonte Ideais e Carga 190k.

N	Teórico	Simulado	Erro (%)
1	1,6 V	1,2 V	25 %
3	4,8 V	3,1 V	35,42 %
8	12,8 V	5,8 V	54,69 %

Fonte: Autoria Própria (2024).

Como pode-se observar os melhores índices de desempenho foram obtidos com o retificador de 1 estágio. Nota-se que além de um melhor aproveitamento da tensão de entrada nota-se que o *Ripple* na tensão de saída aumenta conforme o número de estágios indicando que, devido as perdas, os capacitores têm maiores dificuldade de se carregar e manter o nível DC.

Essa simulação serve para evidenciar que o aumento do número de estágios aumenta os efeitos parasitas, porém ela não representa um cenário plausível devido a idealidade das fontes. Analisando essa simulação individualmente, dados os resultados, o modelo mais eficiente é o de 1 célula. Mas, no projeto em questão é necessário que o retificador atinja níveis em torno de 2,2 V para um bom funcionamento. Olhando dessa perspectiva e considerando um cenário de fonte real com 300 Ω de impedância de entrada para obter a tensão de 1 V de pico seriam necessários 2,22 dBm de potência. Essa é uma potência bastante elevada para a transmissão por RF sem contar que o com 1 V ideal ainda não foi possível atingir 2,2 V somente com uma célula, requisitando ainda mais potência do sistema.

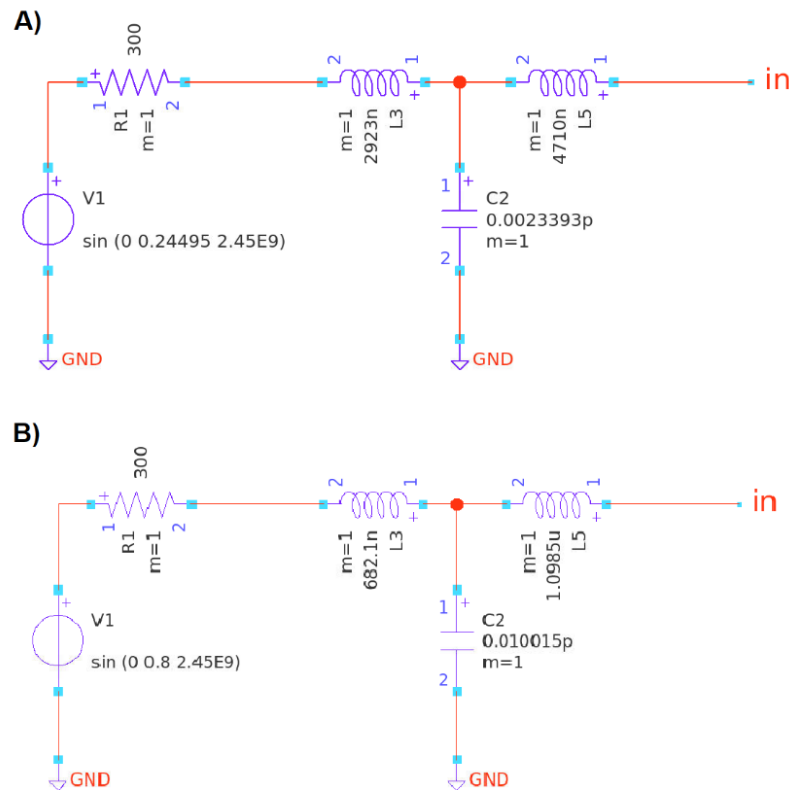
É por isso que, para escolher o modelo adequado, é necessário testar a sensibilidade dos retificadores. Porém a sensibilidade real só pode ser testada se houver uma rede de impedância adequada, haja visto os efeitos de aumento de tensão passivo. Segundo Shekhar, Varma e Maringanti (2015) o circuito casador de impedância que utiliza indutores em série pode contribuir para o aumento da sensibilidade do retificador sendo assim, um estágio indispensável. O foco deste trabalho é o projeto CI, dessa forma, os métodos utilizados para a realização do casamento de impedância foram simplistas.

A primeira etapa para desenvolver o circuito casador de impedância foi a modelagem do circuito equivalente RC do retificador. Um ponto importante é que essa modelagem é aproximada e por isso pode apresentar incoerências entre os modelos. Foram analisados os circuitos retificadores de 1 e 3 células, porém a rede de casamento de impedâncias dimensionada utilizando a modelagem de 3 células foi mais eficiente para ambos os retificadores (1 e 3 células), sendo necessário apenas ajustar o fator Q para cada circuito. Isso evidência que os circuitos de casamento de impedância desenvolvidos nesse trabalho foram

utilizados como ponta pé inicial para a discussão da sensibilidade e não necessariamente são otimizados para a aplicação, se fazendo necessário um estudo específico a parte.

Para desenvolver o equivalente RC do circuito utilizou-se a simulação AC com um indutor em paralelo com o valor de $100 \mu H$. O resultado dessa simulação foi uma frequência de ressonância de $11,735 \text{ MHz}$ que implica em uma capacitância equivalente de $72,616 \text{ pF}$. Já a simulação da resposta do circuito $\tau = 56,65 \text{ ns}$ que implicou em um valor de 779Ω . Com isso a impedância equivalente do circuito, segundo o modelo, é praticamente puramente resistiva. O outro parâmetro utilizado para calcular a rede foi a impedância da antena de 300Ω , que é um valor praticável e realizável segundo Shekhar, Varma e Maringanti (2015). O modelo escolhido foi circuito tipo T. E observou-se que o fator Q poderia ser otimizado para melhorar a sensibilidade dos reguladores. Logo foram utilizados $Q_1 = 150$ para 1 estágio e $Q_3 = 35$ para 3 estágios. A Figura mostra as redes de casamento obtidas pelo site EEWEB (2024).

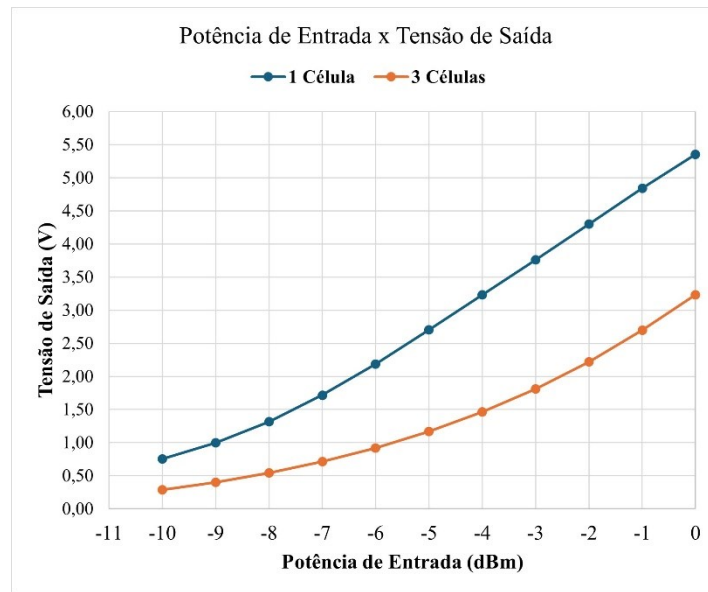
Figura 27 – Redes de Casamento de impedância. A) 1 Célula. B) 3 Células.



Fonte: Autoria Própria (2024).

Com as redes de casamento foram realizadas as simulações de sensibilidades vistas no Figura 28.

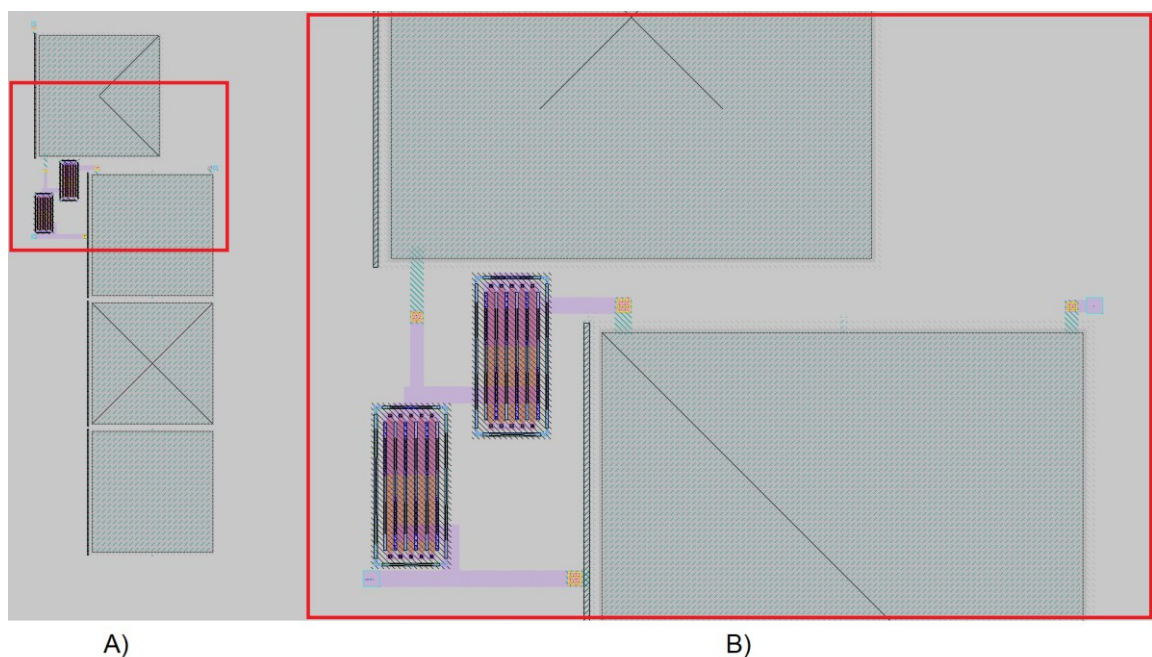
Figura 28 – Resultados de Simulação Sensibilidade. A) 1 Célula. B) 3 Células.



Fonte: Autoria Própria (2024).

A Figura 28 mostra que o retificador de 1 célula é capaz de atingir os níveis de tensão adequados para o projeto, com níveis menores de potência se comparado com o retificador de 3 estágios. De quebra esse modelo possui maior eficiência energética como demonstrado na Tabela 1. Desse modo optou-se por utilizar a topologia de uma célula do retificador. Após realizada a simulação *pré-layout*, o *layout* do circuito foi realizado (no *Magic*) e com um tamanho de 45,5 μm por 131,1 μm , pode ser visto na Figura 29.

Figura 29 – Layout do Retificador desenvolvido. A) Layout Completo. B) Zoom nos Transistores.



Fonte: Autoria Própria (2024).

É importante destacar que o circuito foi inteiramente testado antes realização do *Layout*, porém para uma melhor organização do trabalho, o *Layout* da célula foi exibido nessa seção. Também se realizou o *LVSI*, com êxito, dessa célula individual.

4.2. Regulador LDO

4.2.1. AmpOp Comparador

O Regulador LDO é formado por dois componentes fundamentais: O Amplificador operacional comparador e o Mosfet regulador. Devido à complexidade do Amplificador operacional optou-se por desenvolvê-lo como uma célula interna ao regulador. Sendo assim, nesta seção estão apresentados os resultados individuais do amplificador operacional.

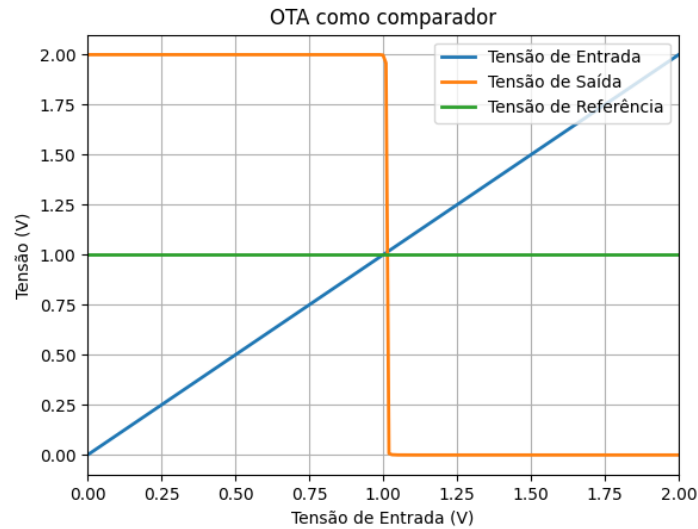
O circuito foi montado como visto na Figura 20 e as dimensões e componentes utilizados estão elencados na Tabela 3.

Tabela 3 – Dimensões dos Componentes do OTA.

Componente	W (μm)	L (μm)
M1/PMOS	2	0,5
M2/PMOS	2	0,5
M3/NMOS	7	0,5
M4/NMOS	7	0,5
M5/PMOS	24	1
M6/PMOS	39	1
M7/NMOS	21	1
M8/PMOS	24	1
Cap/MiM	23	23

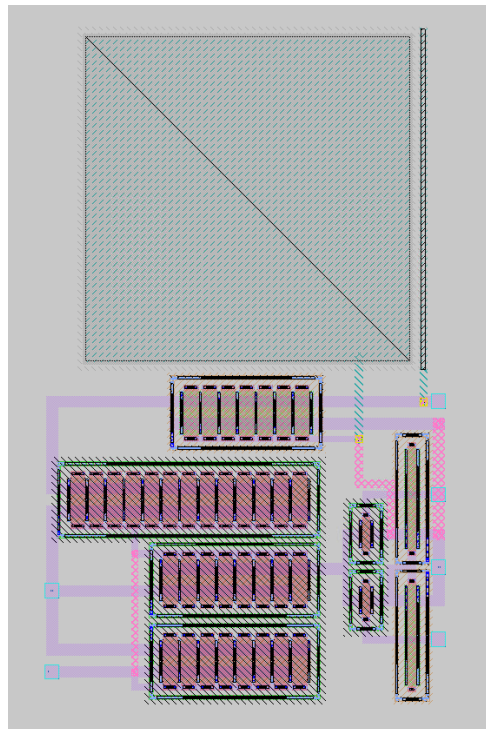
Fonte: Autoria Própria (2024).

Os transistores utilizados foram dos modelos `pfet_g5v0d10v5` e `nfet_g5v0d10v5` que suportam tensões *gate-source* de 5 V e de *dreno-source* de 11 V. Esses níveis de tensão são interessantes para essa aplicação, pois assim o regulador pode ser utilizado em faixas de tensão maiores advindas do retificador sem nenhum risco, com relação a operação do amplificador operacional. É interessante mencionar que a corrente de polarização do OTA pode ser controlada por meio do pino *Ibias*. Sendo esse pino externo ao chip, poderá ser utilizado para maximizar os índices do projeto durante os testes. Durante as simulações o valor de I_{bias} é de $0,5 \mu\text{A}$. A Figura 30 mostra o resultado da simulação DC que comprova o funcionamento do amplificador operacional como comparador.

Figura 30 – Simulação DC do Amplificador Operacional OTA.

Fonte: Autoria Própria (2024).

Observa-se na Figura 30 que a saída do OTA cai para zero quando a tensão entrada não inversora se torna maior que a inversora que é mantida constante como referência. Assim confirma-se o desempenho do amplificador operacional como comparador na simulação *Pré-Layout*. Na Figura 31 pode-se observar o *Layout* do Amplificador operacional no *Magic* com 27,95 μm por 47,2 μm de tamanho. O LVS foi executado com êxito.

Figura 31 – Layout do Amplificador Operacional OTA.

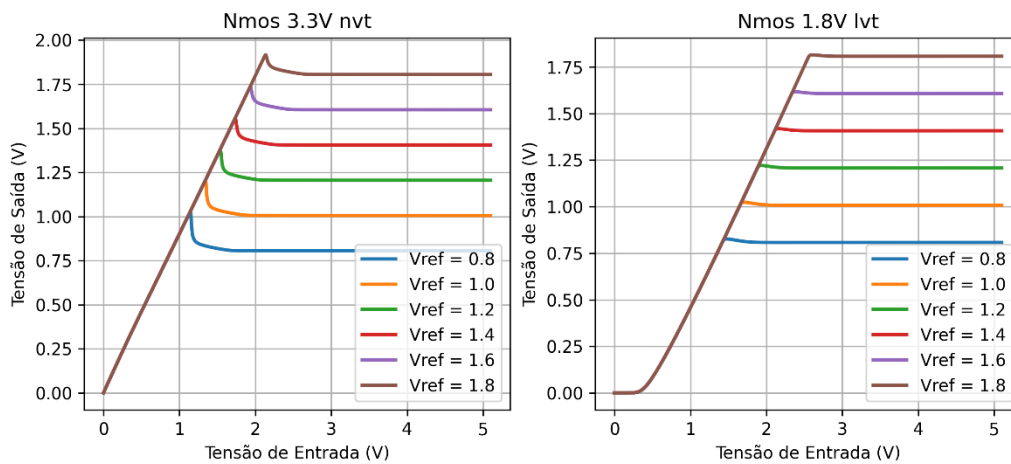
Fonte: Autoria Própria (2024).

4.2.2. Topo do Regulador LDO

O outro componente necessário para a implementação do regulador LDO é o Mosfet responsável por regular a tensão de saída. É sobre esse componente que estará submetida a diferença entre a tensão de entrada advinda do retificador e a tensão de saída de 1,8 V regulada. Essa aplicação também requer um cuidado especial sobre a queda de tensão mínima necessária para a manutenção do regulador. O circuito regulador irá dissipar energia do circuito, dessa forma irá influenciar diretamente na sensibilidade do projeto. Dadas as condições testou-se dois tipos de Mosfet: O nfet_03v3_nvt e o nfet_01v8_lvt.

O Nfet 3v3 possui suporte para tensões de 3,3 V em seus terminais, já o Nfet 1v8 possui menores limites de tensão de apenas 1,8 V. A Figura 32 mostra a diferença de desempenho entre o regulador implementado com os diferentes transistores.

Figura 32 – Regulador implementado com os Mosfet de 3,3 V e 1,8 V.



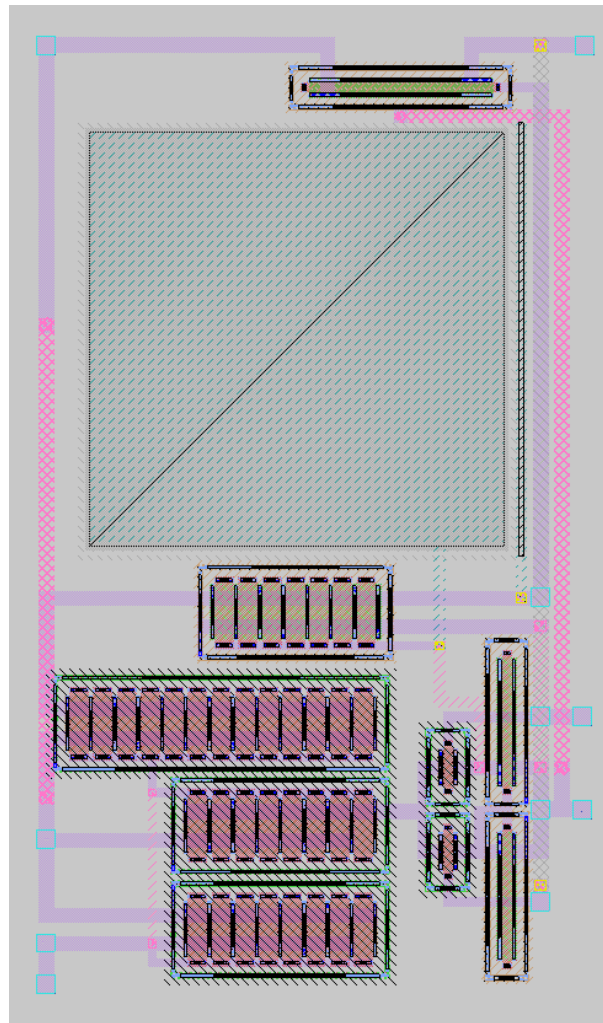
Fonte: Autoria Própria (2024).

Analisando os resultados vistos na Figura 32 é possível perceber que, apesar de apresentar um gráfico suave no início da regulação, o Mosfet de 1,8 V apresenta uma curva menos inclinada indicando que ele necessita de uma maior queda de tensão para executar a regulação. Desse modo o Mosfet de 3,3 V se torna mais eficiente porque torna o regulador mais robusto suportando maiores níveis de tensão e apresenta menor queda de tensão que traz a característica de *dropout*. A desvantagem desse Mosfet se encontra no pico de tensão por volta do valor mínimo, porém ele não atinge valores muito altos e sendo assim não representa problemas.

Deve ser notado que a simulação não varia apenas a tensão de entrada, mas também varia os níveis da tensão de referência mostrando que o regulador é capaz de operar em outras faixas de tensão. O pino de referência também é externo ao chip e isso dá a possibilidade de

testes com outros níveis de tensão. Comprovado o funcionamento do circuito na simulação *pré-layout* tem-se a Figura 33 que mostra o *layout* final do regulador LDO, com 30,35 μm por 52,25 μm de tamanho, utilizando o Mosfet NMOS de 3,3 V, incorporado no trabalho. Posteriormente obteve-se êxito no LVS.

Figura 33 – Layout do Regulador LDO.



Fonte: Autoria Própria (2024).

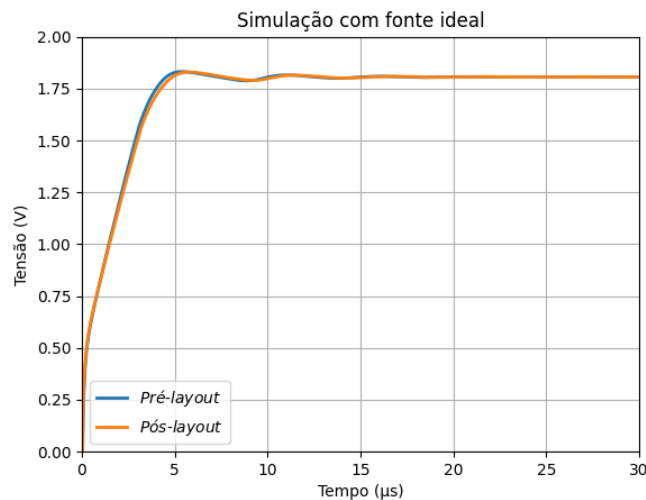
4.3. Topo do projeto CI

Após simular e testar todos os blocos individuais é necessário juntá-los para a montagem completa do circuito, o topo da hierarquia. A Figura 24 mostra a junção da Célula Retificadora ao regulador LDO. Após isso foram realizadas as simulações *pré-layout* e depois, foi realizado, com êxito, o LVS do topo. Com o sucesso do LVS é necessário realizar a comparação entre as simulações de *pré-layout* e *pós-layout*, sendo assim, os resultados de ambas serão apresentados juntos. É importante destacar que as simulações de *pós-layout* foram realizadas depois do

desenvolvimento do *layout* e LVS, mas para uma melhor organização dos resultados serão apresentadas primeiro.

Primeiro foi realizada uma simulação onde era considerada uma fonte ideal com amplitude de 1,8 V e uma carga 1 M Ω , valor este utilizado por Shekhar, Varma e Maringanti (2015).

Figura 34 – Simulação com fontes ideais.



Fonte: Autoria Própria (2024).

A Figura 34 mostra os resultados do projeto com a alimentação de fonte ideal. Essa simulação comprova o funcionamento do circuito como um todo verificando o funcionamento do bloco retificador em conjunto ao regulador. É possível observar que o existe um tempo aproximado de 15 μ s relacionado a resposta do circuito que logo se estabiliza em uma tensão de 1,78 V. É possível observar que o comportamento da simulação de *pré-layout* é semelhante à de *pós-layout* garantindo que na simulação de fontes ideais o circuito *pós-layout* se comportou adequadamente.

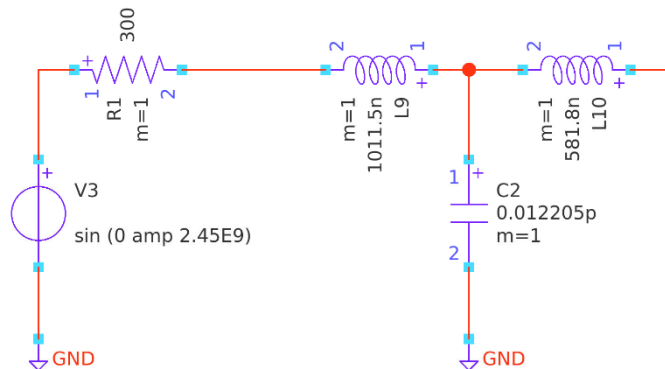
Foi realizada uma simulação onde a rede de impedância planejada para o retificador foi inserida, juntamente a uma fonte real com impedância de 300 Ω . Por meio dessa simulação foram gerados dois resultados. O primeiro é de um funcionamento pontual, de 40 μ s, onde é injetada uma potência de -7 dBm e observa-se o funcionamento do circuito mais sensibilizado pelo casamento de impedâncias. É importante destacar que a rede de casamento de impedâncias desenvolvida para o circuito retificador aumentou a sensibilidade do circuito *pré-layout*, mas, para o circuito de *pós-layout* os resultados foram diferentes. Os parasitas extraídos, contidos no circuito de *pós-layout*, mudaram a impedância de entrada do sistema a ponto de causar um descasamento de impedâncias. Desse modo foi necessário obter um novo circuito casador de

impedâncias para o circuito de *pos-layout*. Para esse circuito a impedância equivalente foi encontrada por meio de simulações e o valor resultante foi:

$$Z_{eq} = 80,84 - j872$$

Com esse parâmetro foi desenvolvida a rede de impedância vista na Figura 35, considerando um fator de qualidade $Q = 100$.

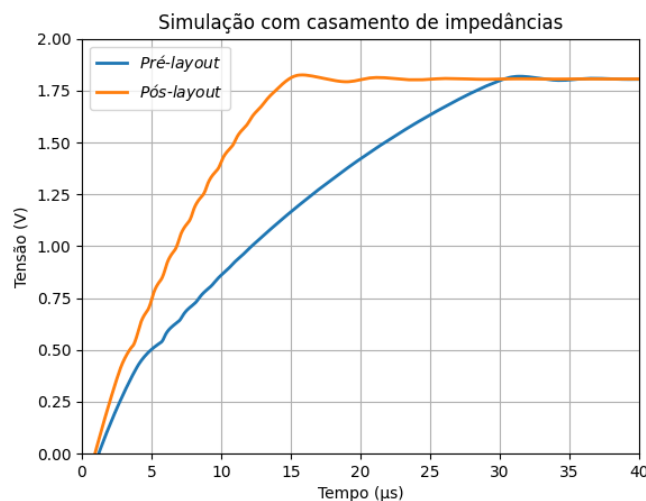
Figura 35 – Circuito casador de impedância utilizado no circuito *pós-layout*.



Fonte: Autoria Própria (2024).

Com a nova rede de impedância no circuito de *pós-layout* foi possível obter os resultados vistos na Figura 36 que compara as simulações de *pré-layout* e *pós-layout*.

Figura 36 – Simulação pontual com redes de casamento de impedâncias. $P_{in} = -7$ dBm.

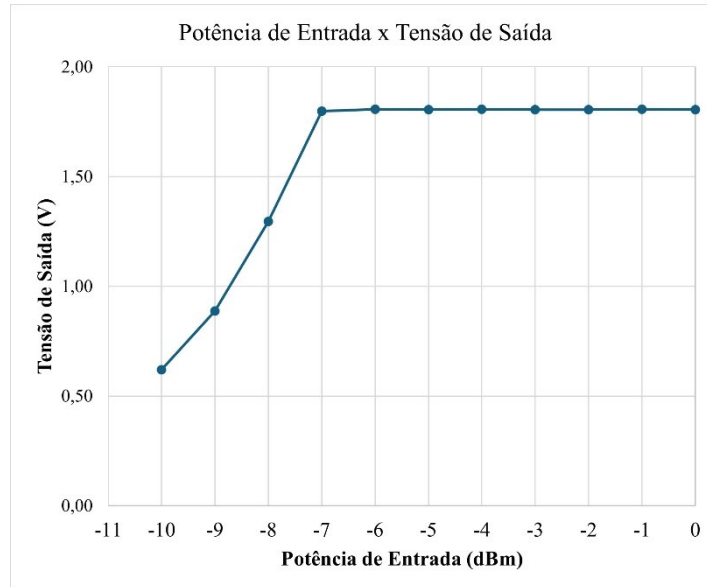


Fonte: Autoria Própria (2024).

Como observa-se na Figura 36, ambas as simulações conseguem estabilizar a tensão em 1,78 V, porém o circuito de *pré-layout* teve um desempenho inferior com relação ao de *pós-layout*. Isso ocorreu pelo ganho de sensibilidade imposto pelo novo circuito de impedância desenvolvido especificamente para o circuito de *pós-layout*. Essa afirmação pode ser

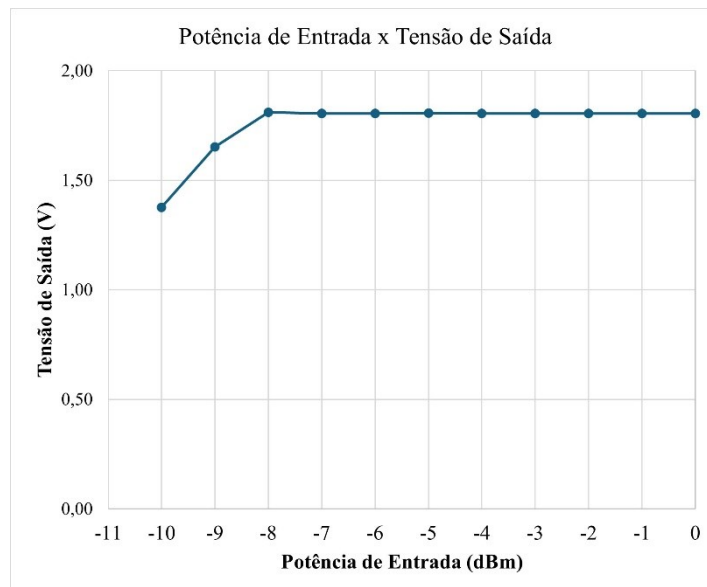
confirmada comparando os resultados das simulações de sensibilidade vistas nas Figuras 37 e 38, respectivas aos circuitos de *pré-layout* e *pós-layout*.

Figura 37 – Sensibilidade do circuito de *pré-layout*. Tensão em função da potência de entrada.



Fonte: Autoria Própria (2024).

Figura 38 – Sensibilidade do circuito de *pós-layout*. Tensão em função da potência de entrada.

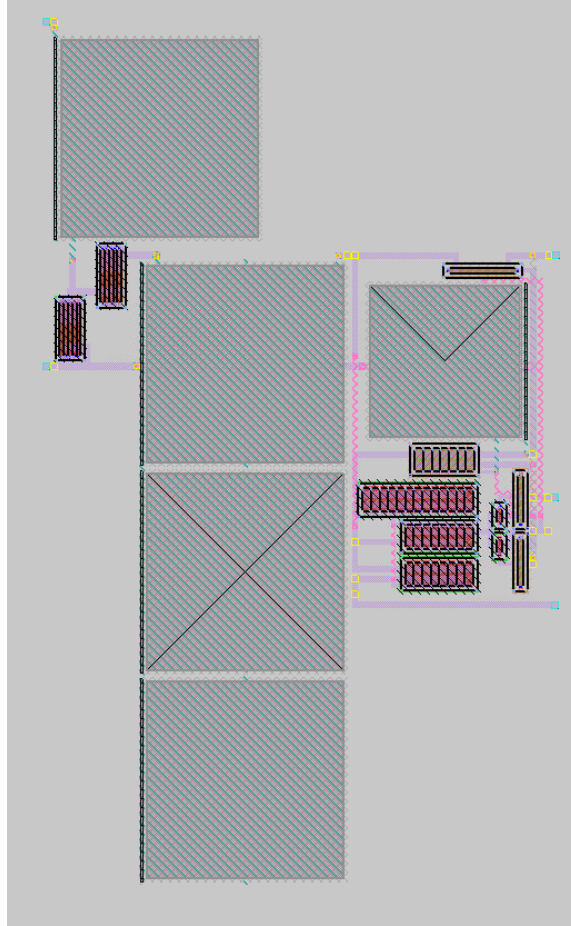


Fonte: Autoria Própria (2024).

Comparando as Figuras 37 e 38, pode-se perceber que o circuito casador de impedância do *pós-layout* aumentou a sensibilidade do circuito final com relação ao *pré-layout*. Nesse caso a sensibilidade mínima equivale a -7 dBm para o circuito *pré-layout* e -8 dBm para o circuito *pós-layout*.

A Figura 39 mostra o *layout* do topo do projeto final com o tamanho de 78,3 μm por 131,1 μm .

Figura 39 – Layout do Topo - Circuito Completo.

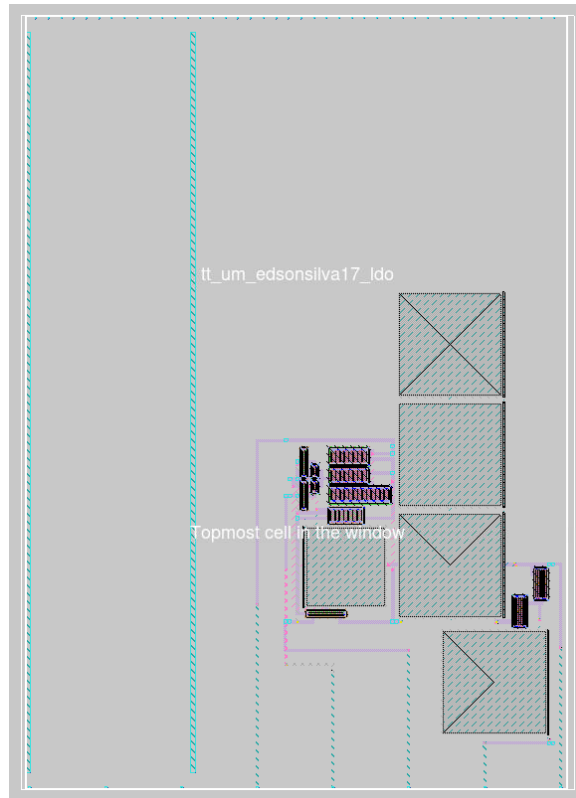


Fonte: Autoria Própria (2024).

4.4. Fabricação

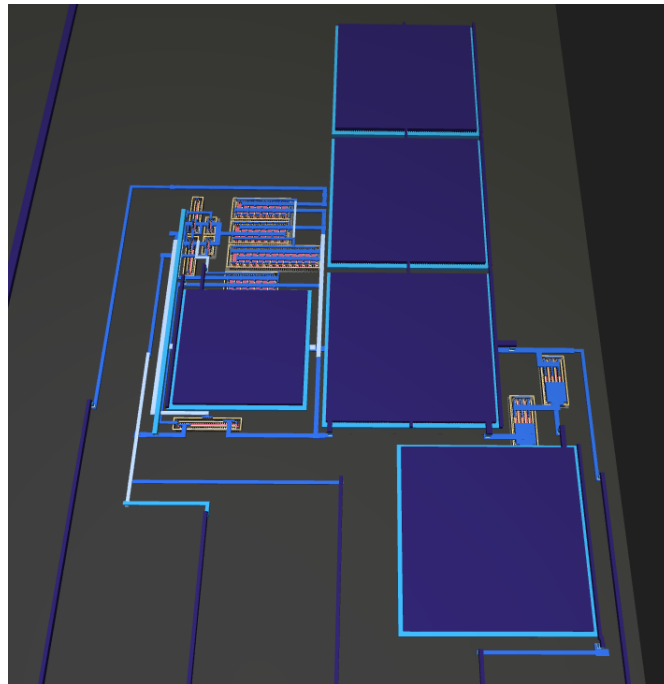
O projeto foi submetido a fabricação por meio do *Tiny Tapeout 06*. O Tiny Tapeout é uma iniciativa educacional que simplifica e torna acessível a fabricação de chips integrados para estudantes, entusiastas e profissionais interessados em *design* de circuitos. Ele proporciona uma experiência prática e educacional, permitindo que os participantes projetem e fabriquem seus próprios chips em parceria com empresas de semicondutores. Essa plataforma promove a inovação, criatividade e aprendizado prático no campo do *design* de chips, sendo especialmente adequada para projetos educacionais e experimentais de pequena escala. Para realizar a submissão do chip foi necessário conectar o circuito topo no *padframe* (layout, utilizado pela fábrica para localizar o chip no local onde será montado e conectado). A Figura 40 mostra o circuito Topo inserido na pinagem do *padframe*. Já a Figura 41 demonstra uma vista 3D do *layout* final acoplado ao *padframe*.

Figura 40 – Circuito Final inserido no circuito de pinagem.



Fonte: Autoria Própria (2024).

Figura 41 – Vista 3D do Layout pronto da Fabricação.



Fonte: Autoria Própria (2024).

4.5. Resumo e Discussões

Nesse capítulo, serão discutidos os principais resultados obtidos. É importante reafirmar que nas simulações do topo, optou-se por utilizar uma carga de $1\text{ M}\Omega$ para detectar os níveis mínimos de sensibilidade, haja vista que, potências de saída maiores exigiriam mais potência de entrada, mas nem todas as aplicações de IoT necessitam de $17\text{ }\mu\text{W}$. Vale destacar também que, apesar de funcional para reduzir a sensibilidade do retificador, o circuito casador de impedância ainda pode ser analisado e possivelmente melhorado com técnicas específicas de casamento de impedância e modelos mais adequados gerados por meio de simulações. É comum nos trabalhos de coleta de energia basear-se na eficiência energética do circuito $\frac{P_{out}}{P_{in}}$, porém com o regulador desse tipo, a regulação é realizada justamente pelo componente semicondutor que regula a tensão da saída, logo se o regulador conseguir operar (atingir a tensão de saída) a carga irá ditar a potência de saída, independentemente da potência de entrada. Baseando na simulação no ponto mínimo de sensibilidade, tem-se a Tabela 4 de resultados.

Tabela 4 – Resultados do Projeto Final baseados na simulação com casamento de impedância de *pós-layout*.

Parâmetro	Valor
V_{out}	1,8 V
f	2,45 GHz
P_{in}	-8 dBm / 0,158 mW
P_{out}	1,8 μW
PCE	1,14 %
Z_{ant}	300 Ω
Z_{load}	1 $\text{M}\Omega$
$V_{LDO_{min}}$	377 mV

Fonte: Autoria Própria (2024).

Sendo $V_{LDO_{min}}$ a queda de tensão mínima do regulador LDO projetado e PCE a eficiência de conversão de energia (do inglês, Power Conversion Efficiency).

Outro ponto importante a ser analisado é o tempo de resposta. As simulações realizadas para sensibilidade, para serem justas no comparativo possuíram todas o tempo de $30\text{ }\mu\text{s}$, porém é possível que para tempos maiores o gráfico de sensibilidade se altere.

É importante realizar o comparativo dos resultados obtidos com trabalhos encontrados no estado da Arte, com este fim foi elaborada a Tabela 5.

Tabela 5 – Comparação de trabalho encontrados no estado da arte.

Trabalhos	Parâmetros				
	V_{out}	f	$P_{in_{min}}$	PCE	Tecnologia
Este trabalho (2024)	1,8 V	2,45 GHz	−8 dBm	1,14 %	130 nm
Shekhar, Varma e Maringanti (2015)	1,8 V	2,45 GHz	−19 dBm	25 %	180 nm
Umeda <i>et al.</i> (2006)	1,2 V	950 MHz	−14(6) dBm	1,2 – 11 %	300 nm
Nakamoto <i>et al.</i> (2007)	3 V	950 MHz	−6 dBm	36,6 %	350 nm
Bergeret <i>et al.</i> (2007)	1,2 V	900 MHz	−11,82 dBm	< 6,3 %	180 nm

Fonte: Autoria Própria (2024).

Analisando a Tabela 5 é possível perceber que o trabalho em questão obteve bons resultados se comparado a outros trabalhos. Vale salientar que o PCE foi inferior se comparado aos outros, mas isso se dá pela natureza do trabalho uma vez que o regulador LDO tende a ter um consumo para sua manutenção, diferente dos outros trabalho que não o utilizam em sua topologia.

5. CONCLUSÃO

Com os resultados obtidos, pode-se destacar que o objetivo principal deste trabalho, de implementar um regulador LDO alimentado por coleta de energia, foi alcançado. Os objetivos específicos também foram cumpridos com excelência, incluindo a definição da tensão de saída de 1,8 V, amplamente utilizada em aplicações de IoT, como sensores e transmissores.

O projeto final demonstrou uma sensibilidade mínima de -8 dBm na simulação *pós-layout*. Apesar dos desafios enfrentados com os circuitos casadores de impedância, que influenciam diretamente na sensibilidade, o projeto mostrou-se funcional e poderá ser testado em diferentes condições, inclusive com tensões de saída inferiores a 1,8 V, uma vez que o pino de referência está externo ao chip e é responsável pela tensão de saída do circuito.

Comparado ao trabalho de Shekhar, Varma e Maringanti (2015), que alimenta uma carga de $3,14 \mu\text{W}$, este trabalho se mostrou funcional, oferecendo perspectivas promissoras para futuras adaptações e otimizações. Durante a análise dos resultados, observou-se que a eficiência energética do circuito não atendeu plenamente às expectativas iniciais, alcançando apenas 1,14%. Este valor, embora dentro dos objetivos estabelecidos, revela-se modesto se comparado aos padrões da área.

Em síntese, apesar dos desafios enfrentados com a eficiência energética, o projeto demonstrou sucesso na implementação do Regulador LDO e na obtenção da tensão de saída desejada, indicando a possibilidade de otimização, principalmente em relação a eficiência energética, para tornar o dispositivo mais competitivo em aplicações de baixo consumo de energia.

5.1. Perspectivas

- Desenvolver uma rede de casamento de impedância compatível com circuito pós-layout melhorando a sensibilidade.
- Melhorar a eficiência energética buscando otimizar os parâmetros com estudos mais aprofundados no sistema de retificação e no regulador LDO.

REFERENCIAS

ALAHMADI, Sara; ROJAS, Pablo; IDRIS, Haytham; BAYOUMI, Magdy. Taxonomy of Consumer and Industrial IoT. In: **SOUTHEASTCON 2023**. Anais... [S.l.: s.n.], 2023. p. 418-424. DOI: 10.1109/SoutheastCon51012.2023.10115217.

BAKER, R. J. **CMOS Circuit Design**. 3. ed. Wiley-IEEE Press, 2010.

BARBI, Ivo. **Eletrônica de Potência**. 6. ed. Florianópolis: Editora da UFSC, 2006.

BARNETT, R. E.; LIU, J.; LAZAR, S. A RF to DC Voltage Conversion Model for Multi-Stage Rectifiers in UHF RFID Transponders. **IEEE Journal of Solid-State Circuits**, v. 44, n. 2, p. 354-370, fev. 2009. DOI: 10.1109/JSSC.2008.2010991.

BERGERET, E.; GAUBERT, J.; PANNIER, P.; GAULTIER, J. M. Modeling and design of CMOS UHF voltage multiplier for RFID in an EEPROM compatible process. **IEEE Transactions on Circuits and Systems II**, v. 54, n. 10, p. 833-837, 2007.

BONFIM, Marlio J. do C. **Circuitos Não Lineares TE 051**. Universidade Federal do Paraná, Setor de Tecnologia, Departamento de Engenharia Elétrica - DELT. Disponível em: <http://www.eletr.ufpr.br/marlio/te051/parte10.pdf>. Acesso em: 15 abr. 2024.

CORTES, Fernando; BAMPI, Sergio. Miller OTA *Design* using a *Design* Methodology Based on the gm/Id and Early-Voltage Characteristics: *Design* Considerations and Experimental Results. In: **Proceedings of XII Workshop Iberchip**, 2006. p. 501-507.

EDWARDS, Tim. **Introduction to the SkyWater PDK. 2021**. Disponível em: https://isn.ucsd.edu/courses/beng207/lectures/Tim_Edwards_2021_slides.pdf. Acesso em: 14 abr. 2024

EEWEB. T-Match Impedance Matching Calculator. Disponível em: <https://www.eeweb.com/tools/t-match/>. Acesso em: 15 abr. 2024.

HALIMI, M. A. *et al.* Rectifier Circuits for RF Energy Harvesting and Wireless Power Transfer Applications: A Comprehensive Review Based on Operating Conditions. **IEEE Microwave Magazine**, v. 24, n. 1, p. 46-61, jan. 2023. DOI: 10.1109/MMM.2022.3211594.

HALPERN, Scott. **Impedance Matching in RF and Microwave Engineering**. Capítulo 7. Disponível em: http://ael.chungbuk.ac.kr/ael/ref/impedance_matching/book_chap7.pdf. Acesso em: 14 abr. 2024.

HORA, J. A.; ZHU, X.; DUTKIEWICZ, E. 2.4 GHz CMOS Design RF-to-DC Energy Harvesting with Charge Control System for WSN Application. In: **2019 IEEE Wireless Power Transfer Conference (WPTC)**, London, Reino Unido, 2019, p. 49-54. DOI: 10.1109/WPTC45513.2019.9055641.

Jl, S.; QI, H.; ZHANG, H. Rectenna Serves 2.45-GHz Wireless Power Transmission. **The 20th Institute of China Electronics Technology Group Corp.**, Xi'an, People's Republic of China, p.1-13, set. 2014.

MADAKAM, S.; RAMASWAMY, R.; TRIPATHI, S. Internet of Things (IoT): A Literature Review. **Journal of Computer and Communications**, v. 3, p. 164-173, 2015. DOI: 10.4236/jcc.2015.35021.

NAKAMOTO, H. et al. A passive UHF RF identification CMOS tag IC using ferroelectric RAM in 0.35- μm technology. **IEEE Journal of Solid-State Circuits**, v. 42, n. 1, p. 101-110, 2007.

OHIRA, Takashi. Power efficiency and optimum load formulas on RF rectifiers featuring flow-angle equations. **IEICE Electronics Express**, v. 10, 2013. DOI: 20130230.

RAZAVI, B. The Low Dropout Regulator [A Circuit for All Seasons]. **IEEE Solid-State Circuits Magazine**, v. 11, n. 2, p. 8-13, primavera 2019. DOI: 10.1109/MSSC.2019.2910952.

ROSABAL, O. M.; LÓPEZ, O. L. A.; ALVES, H.; LATVA-AHO, M. Sustainable RF Wireless Energy Transfer for Massive IoT: Enablers and Challenges. **IEEE Access**, v. 11, p. 133979-133992, 2023. DOI: 10.1109/ACCESS.2023.3337214.

SHEKHAR, Chandra; VARMA, Shirshu; MARINGANTI, Radhakrishna. A 2.4 GHz passive wake-up circuit for power minimization in wireless sensor nodes. In: **TENCON 2015 - 2015 IEEE Region 10 Conference**, Macau, China, p. 1-5, nov. 2015. DOI: 10.1109/TENCON.2015.7373167.

SOYATA, T.; COPELAND, L.; HEINZELMAN, W. RF Energy Harvesting for Embedded Systems: A Survey of Tradeoffs and Methodology. **IEEE Circuits and Systems Magazine**, v. 16, n. 1, p. 22-57, primeiro trimestre 2016. DOI: 10.1109/MCAS.2015.2510198.

ULUŞAN, H.; GHAREHBAGHI, K.; ZORLU, Ö.; MUHTAROĞLU, A.; KÜLAH, H. A self-powered rectifier circuit for low-voltage energy harvesting applications. In: **2012 International Conference on Energy Aware Computing**, 2012, p. 1-5. DOI: 10.1109/ICEAC.2012.6471017.

UMEDA, T. *et al.* A 950-MHz rectifier circuit for sensor network tags with 10-m distance. **IEEE Journal of Solid-State Circuits**, v. 41, n. 1, p. 35-41, jan. 2006. DOI: 10.1109/JSSC.2005.858620.

WAGIH, M.; WEDDELL, A. S.; BEEBY, S. Rectennas for Radio-Frequency Energy Harvesting and Wireless Power Transfer: A Review of Antenna Design [Antenna Applications Corner]. **IEEE Antennas and Propagation Magazine**, v. 62, n. 5, p. 95-107, out. 2020. DOI: 10.1109/MAP.2020.3012872.

ZHANG, Y. *et al.* A Batteryless 19 W MICS/ISM-Band Energy Harvesting Body Sensor Node SoC for ExG Applications. **IEEE Journal of Solid-State Circuits**, Nova York, v. 48, n. 1, p. 199-213, jan. 2013.

ANEXO I

Link do *GitHub Tiny Tapeout*: <https://github.com/edsonsilva17/tt06-analog-ldo-regulator-eh>.