



**UNIVERSIDADE FEDERAL RURAL DO SEMI-ÁRIDO
PRÓ-REITORIA DE GRADUAÇÃO
DEPARTAMENTO DE ENGENHARIAS
CURSO BACHARELADO EM ENGENHARIA ELÉTRICA**

LUIZ PAULO GOMES DA SILVA

**PROJETO DE UM OSCILADOR CONTROLADO POR TENSÃO PARA
OPERAÇÃO EM TEMPERATURAS CRIOGÊNICAS**

CARAÚBAS

2025

LUIZ PAULO GOMES DA SILVA

**PROJETO DE UM OSCILADOR CONTROLADO POR TENSÃO PARA
OPERAÇÃO EM TEMPERATURAS CRIOGÊNICAS**

Trabalho de Conclusão de Curso Monografia apresentada
a Universidade Federal Rural do Semi-Árido como requi-
sito para obtenção do título de Bacharel em Bacharel em
Engenharia Elétrica.

Orientador: Francisco de Assis Brito Filho

CARAÚBAS

2025

© Todos os direitos estão reservados a Universidade Federal Rural do Semi-Árido. O conteúdo desta obra é de inteira responsabilidade do (a) autor (a), sendo o mesmo, passível de sanções administrativas ou penais, caso sejam infringidas as leis que regulamentam a Propriedade Intelectual, respectivamente, Patentes: Lei nº 9.279/1996 e Direitos Autorais: Lei nº 9.610/1998. O conteúdo desta obra tomar-se-á de domínio público após a data de defesa e homologação da sua respectiva ata. A mesma poderá servir de base literária para novas pesquisas, desde que a obra e seu (a) respectivo (a) autor (a) sejam devidamente citados e mencionados os seus créditos bibliográficos.

S586p Silva, Luiz Paulo Gomes da .
Projeto de um Oscilador Controlado por Tensão
para Operação em Temperaturas Criogênicas / Luiz
Paulo Gomes da Silva. - 2025.
69 f. : il.

Orientador: Francisco de Assis Brito Filho.
Monografia (graduação) - Universidade Federal
Rural do Semi-árido, Curso de Engenharia
Elétrica, 2025.

1. Criogênico. 2. Oscilador. 3.
Microeletrônica. I. Brito Filho, Francisco de
Assis, orient. II. Título.

Ficha catalográfica elaborada por sistema gerador automático em conformidade
com AACR2 e os dados fornecidos pelo) autor(a).

Biblioteca Campus Caraúbas
Bibliotecária: Sarah Freire Bezerra
CRB: 15/1052

O serviço de Geração Automática de Ficha Catalográfica para Trabalhos de Conclusão de Curso (TCC's) foi desenvolvido pelo Instituto de Ciências Matemáticas e de Computação da Universidade de São Paulo (USP) e gentilmente cedido para o Sistema de Bibliotecas da Universidade Federal Rural do Semi-Árido (SISBI-UFERSA), sendo customizado pela Superintendência de Tecnologia da Informação e Comunicação (SUTIC) sob orientação dos bibliotecários da instituição para ser adaptado às necessidades dos alunos dos Cursos de Graduação e Programas de Pós-Graduação da Universidade.

Luiz Paulo Gomes da Silva

**PROJETO DE UM OSCILADOR CONTROLADO POR TENSÃO PARA
OPERAÇÃO EM TEMPERATURAS CRIOGÊNICAS**

Monografia apresentada a Universidade
Federal Rural do Semi-Árido como requisito
para obtenção do título de Bacharel em
Engenharia Elétrica.

Defendida em: 16 /12 / 2025.

BANCA EXAMINADORA

Prof. Dr. Francisco de Assis Brito Filho
Presidente

Prof. Dr. Garibaldi Duarte Junior
Membro Examinador

Hugo Dias Giló
Membro Examinador

AGRADECIMENTOS

Agradeço a Deus por ser o pilar da minha vida. Agradeço à minha mãe, Maria Vera Lucia Gomes, por sempre me apoiar e ajudar em qualquer situação; à minha tia, Vanjerusa Gomes de Oliveira, e a todos da minha família que sempre acreditaram em mim. Gostaria de agradecer a todos os meus colegas de turma — Adriel, Dulciel Marcos, Erick Aragão, Lino Alessandro e Wesley — que participaram da minha vida acadêmica compartilhando felicidades e tristezas em uma trajetória que, mesmo curta, fez-se incrivelmente memorável. Agradeço imensamente ao meu orientador, Prof. Dr. Francisco de Assis Brito Filho, pela orientação precisa, pela paciência e por todo o conhecimento transmitido. Estendo minha gratidão a todo o corpo docente do curso de Engenharia Elétrica do campus de Caraúbas/RN da UFERSA, a quem expresso meu sincero agradecimento. A excelência acadêmica, a dedicação ao ensino e os desafios propostos em sala de aula foram cruciais para o meu amadurecimento profissional e pessoal.

“My blood tastes like iron”.

Taiyou Matsumoto

RESUMO

O presente trabalho tem como objetivo projetar um Oscilador Controlado por Tensão (VCO) por meio do fluxo de projeto de microeletrônica analógica. O dispositivo visa a aplicação em sistemas de controle e leitura de bits quânticos (qubits) integrados em circuitos com temperatura de operação criogênica (aproximadamente 4 K). Esse sistema de leitura e controle consiste em sub-circuitos, dentre os quais o oscilador desempenha o papel de gerar uma frequência de 5 GHz, necessária para a leitura do estado do qubit. Devido aos princípios da mecânica quântica, não é possível realizar uma medição direta sem colapsar o estado do sistema; portanto, utiliza-se a leitura indireta via circuitos de radiofrequência (RF) para preservar a integridade quântica. Este trabalho apresenta duas topologias de VCO baseadas em par de acoplamento cruzado (cross-coupled): a primeira composta por transistores NMOS e a segunda utilizando pares complementares (NMOS e PMOS). O desenvolvimento emprega ferramentas EDA da Cadence e o PDK IHP 130 nm. A robustez das topologias é comprovada tanto em temperatura ambiente quanto criogênica, por meio de simulações de estado estacionário periódico (PSS) e de ruído de fase, apresentando resultados comparativos com a literatura técnica.

Palavras-chave: Criogênico; Oscilador; Microeletrônica.

ABSTRACT

This study aims to design a Voltage-Controlled Oscillator (VCO) using an analog microelectronics design flow. The device is intended for application in control and readout systems for quantum bits (qubits) integrated into circuits operating at cryogenic temperatures (approximately 4 K). This readout and control system consists of sub-circuits, in which the oscillator plays the role of generating a 5 GHz frequency required for qubit state sensing. Due to the principles of quantum mechanics, direct measurement is not possible without collapsing the system's state; therefore, indirect readout via radio frequency (RF) circuits is employed to preserve quantum integrity. This work presents two VCO topologies based on cross-coupled pairs: the first composed of NMOS transistors and the second utilizing complementary pairs (NMOS and PMOS). The development employs Cadence EDA tools and the IHP 130 nm PDK. The robustness of the topologies is verified at both room and cryogenic temperatures through Periodic Steady State (PSS) and Phase Noise simulations, providing comparative results with the technical literature.

Keywords: Cryogenic; Oscillator; Microeletronic.

LISTA DE FIGURAS

Figura 1 – Diagrama de um sistema com realimentação negativa.	18
Figura 2 – Diagrama de um circuito realimentado.	19
Figura 3 – Oscilador modelo Colpitts.	20
Figura 4 – Oscilador modelo Hartley.	21
Figura 5 – Circuito com tanque RLC.	23
Figura 6 – Circuito com tanque RLC cascadeado.	23
Figura 7 – Oscilador <i>Cross-coupled tail-biased</i>	23
Figura 8 – Oscilador de Acoplamento Cruzado complementar(utiliza PMOS e NMOS)	25
Figura 9 – Formas de onda de um oscilador ideal e um com ruído	26
Figura 10 – Formas de onda no dominio da frequência de um oscilador ideal e um com ruído	26
Figura 11 – Imagem para demonstrar o cálculo do Ruído de Fase	27
Figura 12 – Junção PN do varactor com um terminal no terra	28
Figura 13 – Junção PN do varactor com os dois terminais flutuando	28
Figura 14 – Conexões de substrato em um MOS varactor	29
Figura 15 – Curva da capacitância por V_{GS} do MOS varactor	30
Figura 16 – Diagrama com os passos realizados do projeto	32
Figura 17 – Esquemático da Topologia 1	36
Figura 18 – Esquemático da Topologia 2	37
Figura 19 – Curva de capacitância x tensão do varicap da tecnologia IHP130nm usado no topologia 1	39
Figura 20 – Curva de capacitância x tensão do varicap da tecnologia IHP130nm usado no topologia 2	39
Figura 21 – Espectro da frequência da Topologia 1 em 27°C para VDDV 0V	40
Figura 22 – Gráfico da simulação PSS do Modelo 1 em 27°C para VDDV 0V	41
Figura 23 – Ruído de fase da Topologia 1 em 27°C para o VDDV 0V	41
Figura 24 – Espectro da frequência da Topologia 1 em 27°C para o VDDV 0.5V	42
Figura 25 – Gráfico da simulação PSS da Topologia 1 em 27°C para VDDV 0.5V	42
Figura 26 – Ruído de fase do Modelo 1 em 27°C para o VDDV 0.5V	43
Figura 27 – Espectro da frequência do Topologia 1 em 27°C para o VDDV 1V	43
Figura 28 – Gráfico da simulação PSS do Topologia 1 em 27°C para VDDV 1V	44
Figura 29 – Ruído de fase do Topologia 1 em 27°C para o VDDV 1V	44
Figura 30 – Espectro da frequência da Topologia 1 em -269,15°C para o VDDV 0V	45
Figura 31 – Gráfico da simulação PSS da Topologia 1 em -269,15°C para VDDV 0V	46
Figura 32 – Ruído de fase da Topologia 1 em -269,15°C para o VDDV 0V	46
Figura 33 – Espectro da frequência da Topologia 1 em -269,15°C para o VDDV 0,5V	47

Figura 34 – Gráfico da simulação PSS da Topologia 1 em -269,15°C para VDDV 0,5V . . .	47
Figura 35 – Ruído de fase da Topologia 1 em -269,15°C para o VDDV 0,5V	48
Figura 36 – Espectro da frequência da Topologia 1 em -269,15°C para o VDDV 1V . . .	49
Figura 37 – Gráfico da simulação PSS da Topologia 1 em -269,15°C para VDDV 1V . .	49
Figura 38 – Ruído de fase da Topologia 1 em -269,15°C para o VDDV 1V	50
Figura 39 – Espectro da frequência da Topologia 2 em 27°C para o VDDV 0V	51
Figura 40 – Gráfico da simulação PSS da Topologia 2 em 27°C para VDDV 0V	51
Figura 41 – Ruído de fase da Topologia 2 em 27°C para o VDDV 0V	52
Figura 42 – Espectro da frequência da Topologia 2 em 27°C para o VDDV 0,5V	52
Figura 43 – Gráfico da simulação PSS da Topologia 2 em 27°C para VDDV 0,5V	53
Figura 44 – Ruído de fase da Topologia 2 em 27°C para o VDDV 0,5V	53
Figura 45 – Espectro da frequência da Topologia 2 em 27°C para o VDDV 1V	54
Figura 46 – Gráfico da simulação PSS da Topologia 2 em 27°C para VDDV 1V	54
Figura 47 – Ruído de fase da Topologia 2 em 27°C para o VDDV 1V	55
Figura 48 – Espectro da frequência da Topologia 2 em -269,15°C para o VDDV 0V . . .	55
Figura 49 – Gráfico da simulação PSS da Topologia 2 em -269,15°C para VDDV 0V . .	56
Figura 50 – Ruído de fase da Topologia 2 em -269,15°C para o VDDV 0V	56
Figura 51 – Espectro da frequência da Topologia 2 em -269,15°C para o VDDV 0,5V . .	57
Figura 52 – Gráfico da simulação PSS da Topologia 2 em -269,15°C para VDDV 1V . .	57
Figura 53 – Ruído de fase da Topologia 2 em -269,15°C para o VDDV 0,5V	58
Figura 54 – Espectro da frequência da Topologia 2 em -269,15°C para o VDDV 1V . . .	58
Figura 55 – Gráfico da simulação PSS da Topologia 2 em -269,15°C para VDDV 1V . .	59
Figura 56 – Ruído de fase do Modelo 2 em -269,15°C para o VDDV 1V	59
Figura 57 – Layout da parte do espelho de corrente Ibias do Modelo 1	61
Figura 58 – Layout da parte do acoplamento cruzado dos transistores NMOS do Modelo 1	62
Figura 59 – Layout do stack de 17 varicaps do Modelo 1	62
Figura 60 – Layout do completo do Modelo 1	63
Figura 61 – Verificação de DRC limpa utilizando a EDA Virtuoso da Cadence	64
Figura 62 – Verificação de LVS utilizando a EDA Virtuoso da Cadence	65
Figura 63 – Verificação de LVS utilizando a EDA Virtuoso da Cadence	66
Figura 64 – Extração das capacitâncias e resistências parasitas (PEX) do layout pelo software Virtuoso da Cadence	66

LISTA DE TABELAS

Tabela 1 – Tamanho dos transistores NMOS para o projeto modelo 1	35
Tabela 2 – Tamanho dos transistores NMOS e PMOS para o projeto modelo 2	37
Tabela 3 – Valores base para as Topologias 1 e 2	38
Tabela 4 – Resumo dos dados obtidos dos Topologia 1 e 2	60
Tabela 5 – Comparação de resultados com outros trabalhos	60

LISTA DE ABREVIATURAS E SIGLAS

VCO	<i>Voltage Controller Oscillator</i>
PDK	<i>Process Design Kit</i>
EDA	<i>Electronic Design Automation</i>
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
CI	Circuito Integrado
DRC	<i>Design Rules Check</i>
LVS	<i>Layout vs Schematic</i>
PEX	<i>Parasitic Extraction</i>
PSS	<i>Periodic Steady-State</i>

LISTA DE SÍMBOLOS

G_M	Transcondutância
ω_o	Frequência fundamental
R_p	Resistência em paralelo
K	temperatura Kelvin

SUMÁRIO

1	INTRODUÇÃO	15
2	REFERENCIAL TEÓRICO	17
2.1	Computação Quântica	17
2.2	Osciladores	17
2.2.1	Realimentação Positiva	17
2.2.2	Osciladores Colpitts e Hartley	19
2.2.3	Oscilador de Acoplamento Cruzado	21
2.2.4	Transcondutância Negativa	24
2.2.5	NMOS e PMOS no Oscilador de Acoplamento Cruzado	24
2.2.6	Ruído de Fase	25
2.2.7	Varicap	27
2.3	Projeto Analógico	30
2.4	Simulação PSS	31
3	METODOLOGIA	32
3.1	Definição do Tema	32
3.2	Projeto	33
4	RESULTADOS E DISCUSSÃO	38
4.1	Topologia 1	40
4.1.1	Topologia 1 Simulações em Temperatura 4 K	44
4.2	Topologia 2	50
4.2.1	Topologia 2 Simulações em Temperatura 4K	55
4.2.2	Análise dos Modelos 1 e 2	59
4.3	Perspectivas Futuras	60
5	CONCLUSÕES	67
	REFERÊNCIAS	68

1 INTRODUÇÃO

A computação quântica tem adquirido crescente relevância diante das limitações inerentes à computação clássica, motivadas, em grande parte, pelo fato de a miniaturização de transistores em tecnologias CMOS estar atingindo seus limites físicos. Conforme apontam (VANDERSYPEN; LEEUWENHOEK, 2017), em escalas nanométricas extremamente reduzidas, fenômenos como correntes de fuga, tunelamento e o controle eletrostático deficiente comprometem significativamente o desempenho dos dispositivos semicondutores.

Adicionalmente, (PELLERANO *et al.*, 2022) demonstram que, em comprimentos de canal inferiores a aproximadamente 5 nm, efeitos quânticos indesejáveis tornam-se dominantes. Tal cenário indica que os ganhos de desempenho da computação clássica, baseados puramente no escalonamento de transistores (Lei de Moore), encontram-se próximos do esgotamento. Nesse contexto, a computação quântica emerge como uma alternativa promissora, capaz de superar as barreiras físicas da eletrônica convencional ao explorar propriedades da mecânica quântica para o processamento de informações.

Diferentemente da computação clássica, baseada em bits digitais com estados discretos e bem definidos (0 e 1), os computadores quânticos utilizam o fenômeno da superposição por meio dos qubits. Conforme descrito em (JOSHI *et al.*, 2023), os qubits podem assumir uma combinação linear de estados, sendo representados matematicamente como $\alpha|0\rangle + \beta|1\rangle$. Na **Esfera de Bloch**, esses estados são visualizados nos polos norte e sul, respectivamente. Ainda de acordo com (JOSHI *et al.*, 2023), para a viabilização de sistemas funcionais com milhões de bits quânticos e a consequente redução de erros de decoerência, é imperativo que o sistema opere em temperaturas criogênicas. Tal exigência impõe um esquema complexo de sinais de micro-ondas para leitura e controle, demandando uma infraestrutura que integra circuitos operando em temperatura ambiente com componentes localizados no estágio criogênico.

Uma estratégia para minimizar a complexidade das interconexões entre sistemas operando em diferentes gradientes térmicos consiste na integração do qubit aos circuitos de leitura e controle. De modo geral, o sistema pode ser subdividido em duas frentes: o processador quântico, que abriga o conjunto de qubits e exige temperaturas na ordem de milikelvin (mK), e a eletrônica de controle, que tradicionalmente opera em temperatura ambiente (PATRA *et al.*, 2018). Com base nessa problemática, propõe-se a redução da complexidade de fiação ao projetar a eletrônica de controle e leitura para atuar em temperaturas criogênicas, próximas às do qubit.

Dentro desse subsistema de controle, o oscilador desempenha um papel fundamental, com uma baixa potência e um baixo ruído de fase. Assim, este trabalho tem como objetivo não apenas contribuir para o avanço da computação quântica em regimes criogênicos, mas também aprofundar o estudo do fluxo de projeto (design flow) de microeletrônica analógica. Para tanto, utiliza-se o ecossistema de ferramentas EDA e o PDK em tecnologia CMOS para o

desenvolvimento e a análise de duas topologias de osciladores controlados por tensão (VCO), validadas por meio de simulações em temperatura ambiente (300 K) e criogênica (4 K).

2 REFERENCIAL TEÓRICO

Nessa seção é discutido conceitos básicos da computação quântica, circuitos com realimentação positiva, topologias clássicas de osciladores com tanque LC, topologia Acoplamento Cruzado (*Cross-Coupled*) abordando o princípio da transcondutância negativa, ruído de fase, funcionamento de um varicap, o fluxo de um projeto analógico e por último simulação PSS.

2.1 Computação Quântica

A computação quântica representa uma mudança de paradigma com o potencial de expandir os horizontes da computação clássica. Conforme discutido em (VANDERSYPEN; LEEUWENHOEK, 2017), o processamento quântico baseia-se em bits quânticos (qubits) que, diferentemente dos bits clássicos restritos a dois estados discretos (alto e baixo), operam sob o princípio da superposição. Esse fenômeno permite que o qubit assuma uma combinação linear de ambos os estados simultaneamente, ampliando exponencialmente a capacidade de processamento para algoritmos específicos.

Para viabilizar a operação desses sistemas, utiliza-se o Refrigerador de Diluição, um equipamento capaz de atingir temperaturas criogênicas na ordem de 2 mK. Esse ambiente extremo é essencial para preservar a coerência quântica e permitir a manifestação da superposição (JOSHI *et al.*, 2023). Entretanto, a configuração convencional, na qual os circuitos de leitura e controle operam em temperatura ambiente, introduz uma complexidade significativa de interconexão e desafios térmicos.

Como solução, a literatura aponta o uso da tecnologia CMOS, que se destaca pela funcionalidade em regimes criogênicos, alta capacidade de integração e baixo custo de fabricação. A abordagem de integrar os circuitos de controle diretamente no estágio criogênico, como demonstrado em (CHARBON *et al.*, 2021), não apenas simplifica a arquitetura de fiação, como também contribui para a mitigação do ruído térmico global do sistema.

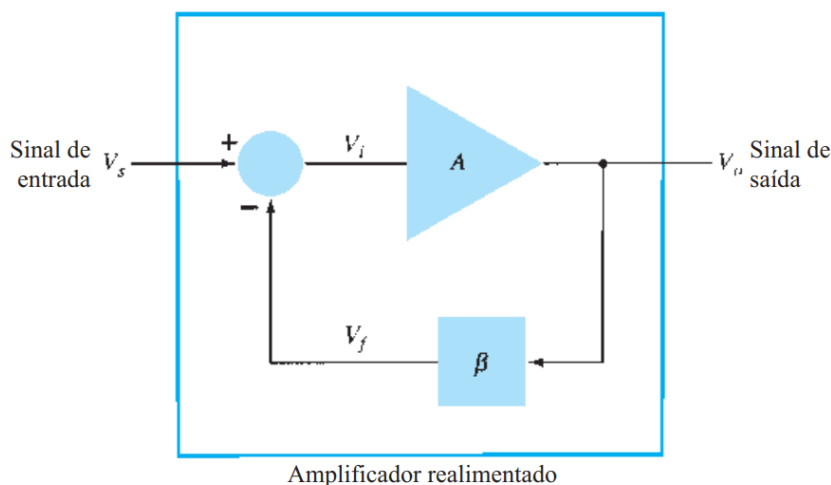
2.2 Osciladores

2.2.1 Realimentação Positiva

Comumente vemos circuitos com realimentação negativa, principalmente em circuitos que utilizam amplificadores operacionais (amp-ops) e com isso tendo uma diminuição do ganho de tensão, conforme em (BOYLESTAD; NASHELSKY, 2004), mas melhorando diversos outros aspectos como: maior impedância de entrada, ganho de tensão mais estável, melhor resposta em frequência, este sistema utiliza um sinal de entrada V_s e um sinal de realimentação V_f , cuja diferença resulta no sinal de erro V_i . O sinal de saída V_o é reconectado ao bloco β (circuito de

realimentação), conforme apresentado na Figura 1. Essa configuração estabelece a malha fechada necessária para garantir a estabilidade e o controle do ganho do oscilador.

Figura 1 – Diagrama de um sistema com realimentação negativa.

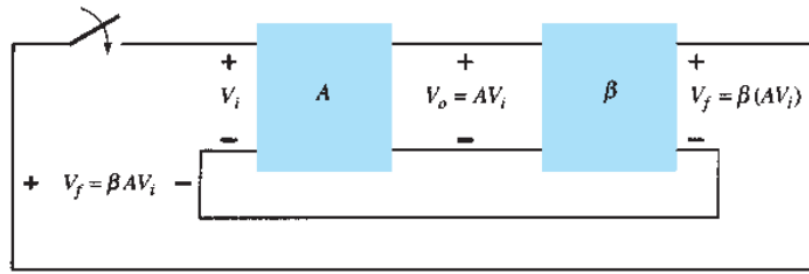


Fonte: (BOYLESTAD; NASHELSKY, 2004)

Por outro lado, sistemas sob realimentação positiva podem ser projetados para instabilizar o circuito de forma controlada, efeito este desejado em osciladores. Para que a oscilação se sustente, certas condições devem ser atendidas: é necessário que o ganho de malha ($A\beta$) do sistema possua magnitude igual ou superior à unidade. Conforme ilustrado na figura abaixo, ao considerar uma tensão hipotética V_i na entrada do amplificador, o ganho de malha é definido pelo produto das funções de transferência do estágio de ganho (A) e da rede de realimentação (β). Se o circuito fornecer um ganho $A\beta$ com amplitude e fase adequadas, a tensão de realimentação será capaz de substituir a entrada original e sustentar a oscilação ($V_f = V_i$).

Ressalta-se que, na prática, não é necessária uma tensão de excitação externa; o próprio ruído térmico inerente aos componentes eletrônicos fornece o estímulo inicial necessário para disparar o processo, desde que o ganho de malha supere ligeiramente a unidade no instante da partida (*start-up*). Essas condições fundamentais — ganho de malha unitário e deslocamento de fase total nulo (ou múltiplos de 360°) — são conhecidas como o Critério de Barkhausen, conforme estabelecido em (BOYLESTAD; NASHELSKY, 2004).

Figura 2 – Diagrama de um circuito realimentado.



Fonte: (BOYLESTAD; NASHELSKY, 2004)

2.2.2 Osciladores Colpitts e Hartley

Existem diversas metodologias para o projeto de osciladores como mencionado em (BOYLESTAD; NASHELSKY, 2004), fundamentadas na implementação de sistemas com realimentação que satisfaçam o critério de Barkhausen. Consequentemente, variadas topologias podem ser empregadas para atingir tais condições de operação. Entre as configurações clássicas, destacam-se os osciladores **Colpitts** e **Hartley**, que fundamentam-se em princípios análogos para sustentar a oscilação do sistema. Ambas as topologias caracterizam-se pelo uso de um único transistor associado a redes de realimentação LC (indutor-capacitor). No oscilador Colpitts, a realimentação é obtida por meio de um divisor de tensão capacitivo, enquanto no oscilador Hartley, utiliza-se um divisor de tensão indutivo.

Estabelecendo um paralelo com o sistema de realimentação positiva, tais circuitos utilizam um **tanque LC**, que consiste basicamente na associação em paralelo de um **indutor** e um **capacitor** ao dreno de um transistor de efeito de campo (FET), com a malha de realimentação conectada ao gate ou ao source. Quando o tanque LC atinge a ressonância, sua impedância torna-se puramente real, resultando em uma defasagem nula entre tensão e corrente.

Conforme discutido em (SALIMATH, 2006), a impedância vista pelo source do FET é dada por $1/g_m$ (onde g_m representa a transcondutância). Essa impedância de carga tende a degradar o fator de qualidade (Q) do tanque LC; ao longo dos ciclos de realimentação, essa redução do fator Q pode deteriorar o ganho de malha para valores inferiores à unidade, cessando a oscilação. Para que a oscilação persista, é necessário compensar as perdas do tanque. Isso é alcançado nas topologias clássicas de Colpitts e Hartley por meio de divisores capacitivos ou indutivos, respectivamente, conforme ilustrado nas Figuras 3 e 4. Tais configurações transformam a impedância de modo a mitigar a degradação do tanque. A resistência equivalente desses modelos é dada por:

$$R_{Colpitts} = \frac{(1 + \frac{C_1}{C_2})^2}{g_m}, \quad (2.1)$$

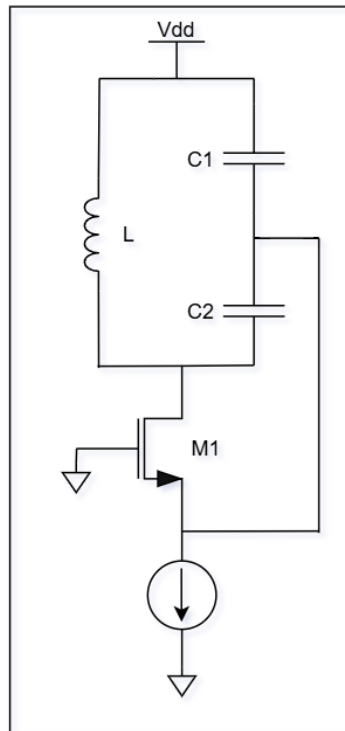
$$R_{Hartley} = \frac{(1 + \frac{L_1}{L_2})^2}{g_m} \quad (2.2)$$

A frequência de ressonância para esses circuitos será, conforme em (BOYLESTAD; NASHELSKY, 2004), $\omega_r = (\sqrt{L_{eq}C_{eq}})^{-1}$, onde L_{eq} e C_{eq} é o equivalente da indutância e capacitância dos tanques. Ao trabalhar com modelos de indutores reais irá existir uma resistência parasita (R_p) que vai escalar junto com L_{eq} ele pode ser calculado da seguinte forma,

$$R_p = \frac{(L_{eq}\omega_r)^2}{R_s} \quad (2.3)$$

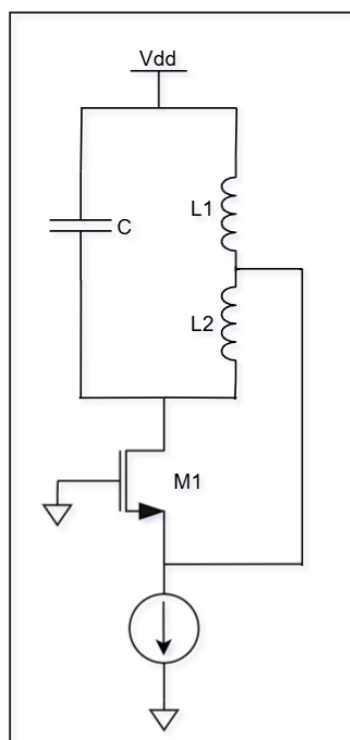
onde R_s é o modelo de resistência em série com o indutor.

Figura 3 – Oscilador modelo Colpitts.



Fonte: Adaptado de (BOYLESTAD; NASHELSKY, 2004)

Figura 4 – Oscilador modelo Hartley.



Fonte: Adaptado de (BOYLESTAD; NASHELSKY, 2004)

Embora esses modelos sejam amplamente utilizados em osciladores de rádio frequência (RF), eles apresentam limitações em contextos de integração em larga escala. Primeiramente, tais topologias fornecem apenas uma saída única (single-ended), o que as torna mais suscetíveis a ruídos de modo comum. Além disso, a manutenção da oscilação nessas configurações pode exigir indutores e capacitores com valores elevados, o que é desfavorável em termos de área de silício. Dado que os projetos atuais demandam baixos níveis de ruído e redução de custos, a tecnologia CMOS apresenta-se como uma candidata ideal para a implementação de osciladores; entretanto, uma nova topologia será discutida na próxima seção, visando solucionar as limitações associadas aos modelos de apenas um transistor.

2.2.3 Oscilador de Acoplamento Cruzado

Conforme apresentado em (JOSHI *et al.*, 2023) e (PATRA *et al.*, 2018), a topologia do oscilador de acoplamento cruzado (*cross-coupled*) é amplamente empregada em aplicações modernas de RF. Diferentemente das configurações discutidas anteriormente, a arquitetura cross-coupled possui saídas diferenciais (dois canais de saída complementares entre si). Essa característica é fundamental para a integração com misturadores (mixers), que frequentemente requerem sinais balanceados para operar de forma eficiente. Além da simetria de saída, essa topologia demonstra elevada robustez frente a variações de processo e ruído.

Em princípio, ao analisar um sistema como o ilustrado na Figura 5, que utiliza um tanque

RLC paralelo, define-se C_1 como a capacitância total vista pela saída, R_p como a resistência equivalente de perdas do tanque em ressonância e L_1 como a indutância equivalente. Conforme discutido por (RAZAVI, 2012), o comportamento da impedância do tanque é dependente da frequência: em baixas frequências, observa-se uma predominância do comportamento indutivo, conforme expresso por:

$$\frac{V_0}{V_{in}} \approx -g_m L_1 s \quad (2.4)$$

Ou seja, para baixas frequências a fase vai ficar aproximadamente -90° . Já em ressonância, temos

$$\frac{V_0}{V_{in}} = -g_m R_p \quad (2.5)$$

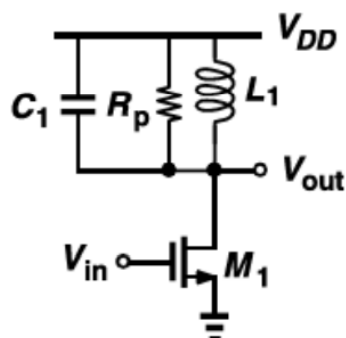
Nesse caso a fase da entrada para saída será de -180° . Para altas frequência a capacitância equivalente C_1 será predominante, dessa forma,

$$\frac{V_0}{V_{in}} \approx \frac{-g_m}{C_1 s} \quad (2.6)$$

Nesse caso, o deslocamento de fase seria de $+90^\circ$ ou -270° , o que demonstra a incapacidade do sistema em satisfazer o critério de Barkhausen, visto que a fase total não atinge 360° (ou 0°). Conforme analisado anteriormente, um único estágio amplificador gera um deslocamento de fase de 180° com um ganho dado por $g_m R_p$ na frequência de ressonância (ω_0). A solução consiste, portanto, em elevar essa fase para 360° mediante a inserção de um segundo estágio no loop do sistema. Como ilustrado na Figura 6, a estratégia fundamenta-se em cascatear dois tanques RLC idênticos; assim, quando o sistema opera em ressonância, a defasagem total acumulada será de 360° . Consequentemente, para que o circuito sustente a oscilação, o ganho de malha deve satisfazer a condição:

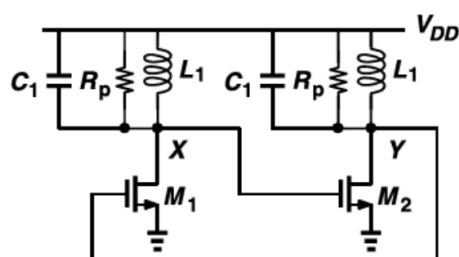
$$(g_m R_p)^2 \geq 1 \quad (2.7)$$

Figura 5 – Circuito com tanque RLC.



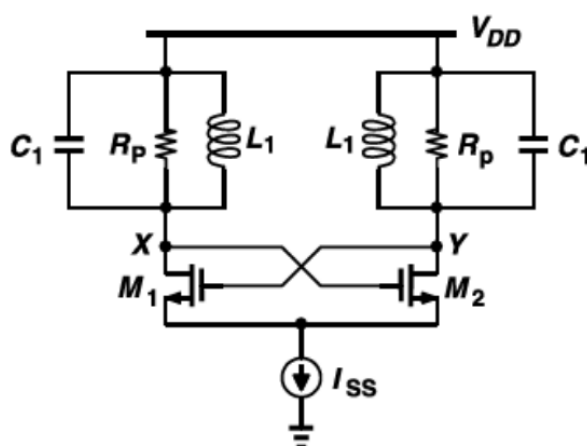
Fonte: (RAZAVI, 2012)

Figura 6 – Circuito com tanque RLC cascateado.



Fonte: (RAZAVI, 2012)

Com isso, é apresentado o oscilador *cross-coupled* na Figura 7. A diferença entre a Figura 6 é a fonte de corrente. Como existem outras topologias diferentes com a fonte de corrente, essa em específico é chamada de *tail-biased oscillator*

Figura 7 – Oscilador *Cross-coupled tail-biased*

Fonte: (RAZAVI, 2012)

2.2.4 Transcondutância Negativa

Os dois tanques RLC do oscilador, apresentados na Figura 7, possuem um fator de qualidade (Q) finito que introduz perdas ao sistema, impedindo a manutenção de uma oscilação sustentada. Para mitigar esse fenômeno, o circuito opera baseado no princípio da transcondutância negativa, gerada pelos transistores CMOS (RAZAVI, 2012).

Ao realizar um rearranjo na topologia, observa-se que o potencial no nó onde a fonte de corrente I_{ss} é conectada permanece constante perante variações diferenciais nos nós X e Y, caracterizando um terra virtual para sinais AC. Essa propriedade permite simplificar o sistema para o modelo equivalente de tanque único. Consequentemente, o circuito pode ser decomposto em duas partes fundamentais: o tanque ressonante passivo (composto por $2L_1$, $2R_p$ e $C_1/2$) e o núcleo ativo (composto por M_1 , M_2 e I_{ss}). Espera-se que este núcleo ativo compense a energia dissipada pela resistência de perdas do tanque, conforme demonstrado na Figura 7. A partir dessa modelagem, tem-se que:

$$I_x = -g_{m1}V_1 = g_{m2}V_2 \quad (2.8)$$

Simplificando os termos e utilizando $V_1 - V_2 = V_x$, ficamos com,

$$\frac{V_x}{I_x} = \left(\frac{1}{g_{m1}} + \frac{1}{g_{m2}} \right) \quad (2.9)$$

Como os circuitos são idênticos temos que, $g_{m1} = g_{m2} = g_m$, logo,

$$\frac{V_x}{I_x} = -\frac{2}{g_m} \quad (2.10)$$

Com isso, para a oscilação ocorrer essa resistência precisa cancelar as perdas do tanque,

$$g_m R_p \geq 1 \quad (2.11)$$

2.2.5 NMOS e PMOS no Oscilador de Acoplamento Cruzado

Para a melhor compreensão do funcionamento do oscilador é preciso demonstrar melhor a função dos transistores CMOS (PMOS e NMOS) visto que existem topologias diferentes que utilizam os dois complementares ou apenas um dos dois. Para os transistores NMOS, em saturação, conforme em (RAZAVI, 2012) temos a corrente de dreno como,

$$I_{DS} = \frac{\mu_n C_{ox}}{2} \left(\frac{W}{L} \right) (V_{GS} - V_{th})^2 \quad (2.12)$$

onde o μ_n é o grau de mobilidade dos elétrons no transistor NMOS, C_{ox} é a capacitância do óxido do *gate* por unidade de área, V_{th} é a tensão de *threshold* é a tensão mínima para o tran-

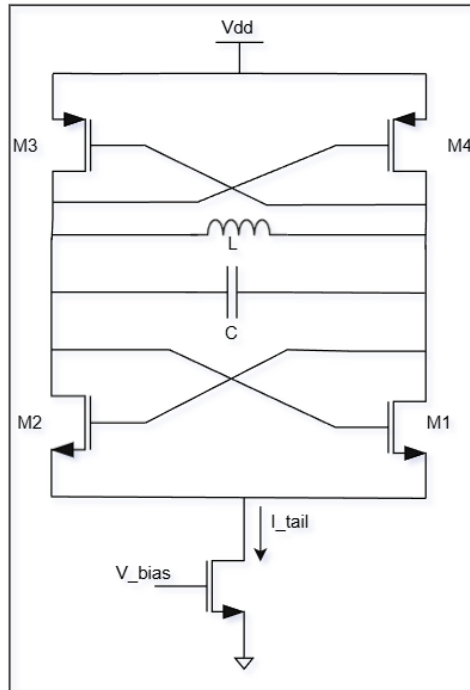
sistor funcionar e W/L é a relação largura dividida pelo comprimento do transistor. Considerando o modelo de baixas frequência dos MOSFET, a transcondutância é calculada como:

$$G_M = \mu_n C_{ox} \left(\frac{W}{L} \right) (V_{GS} - V_{th}) \quad (2.13)$$

A construção do oscilador de acoplamento cruzado também pode ser feita utilizando PMOS causando uma melhora no ruído segundo (LEE *et al.*, 2006). Um dos contrapontos da utilização do PMOS é que para alcançar uma mesma transcondutância de um NMOS o PMOS terá que ser pelo menos 2 vezes maior, uma vez que na construção do dispositivo a mobilidade de lacunas (μ_p) é menor do que mobilidade de elétrons (μ_n). Com o uso dos 2 transistores complementares como na Figura 8 o cálculo da resistência negativa que será o paralelo das resistências, como em:

$$R_{negativo} = R_{inn} // R_{inp} = - \frac{2}{G_{mn} + G_{mp}} \quad (2.14)$$

Figura 8 – Oscilador de Acoplamento Cruzado complementar(utiliza PMOS e NMOS)



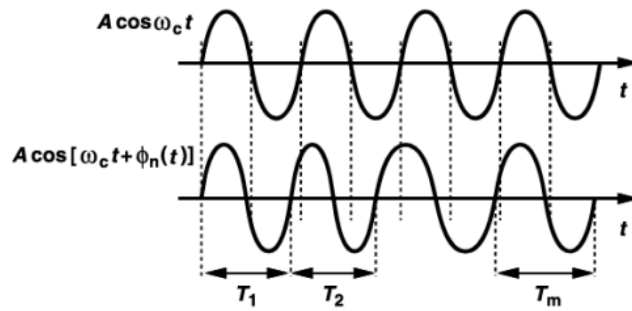
Fonte: Adaptado de (SALIMATH, 2006)

2.2.6 Ruído de Fase

Um oscilador ideal, como dito em (RAZAVI, 2012), produz um sinal de saída periodicamente perfeito da seguinte forma $x(t) = A \cos w_c t$. A passagem do sinal no zero ocorre nos múltiplos inteiros de $T_c = 2\pi/w_c$. Em um oscilador real, por outro lado, o ruído do dispositivo perturba

essa passagem do zero. O modelo dessa perturbação é escrito como $x(t) = A \cos[\omega_c t + \phi_n(t)]$, onde $\phi_n(t)$ é uma pequena porção randômica de fase que desvia essa passagem do zero nos múltiplos inteiros de T_c . Com isso $\phi_n(t)$ é chamado de **ruído de fase** a figura abaixo mostra esse comportamento descrito anteriormente.

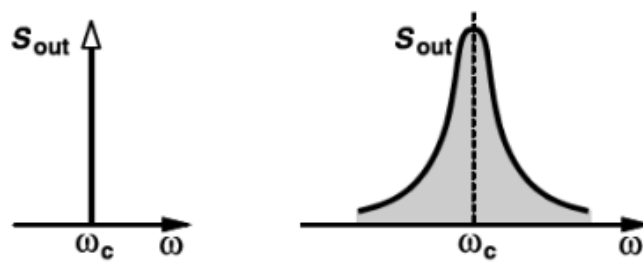
Figura 9 – Formas de onda de um oscilador ideal e um com ruído



Fonte:(RAZAVI, 2012)

Também é possível fazer uma análise no domínio da frequência. Podemos dizer que o período se mantém constante se $x(t) = A \cos \omega_c t$ mas varia randômicamente se $x(t) = A \cos \omega_c t + \phi_n(t)$. Esse espectro pode ser analisado na Figura 10, onde o oscilador ideal é representado por um único impulso na frequência ω_c enquanto o oscilador com ruído o impulso está mais "largo" representando os valores randômicos formando essa "saia"

Figura 10 – Formas de onda no domínio da frequência de um oscilador ideal e um com ruído

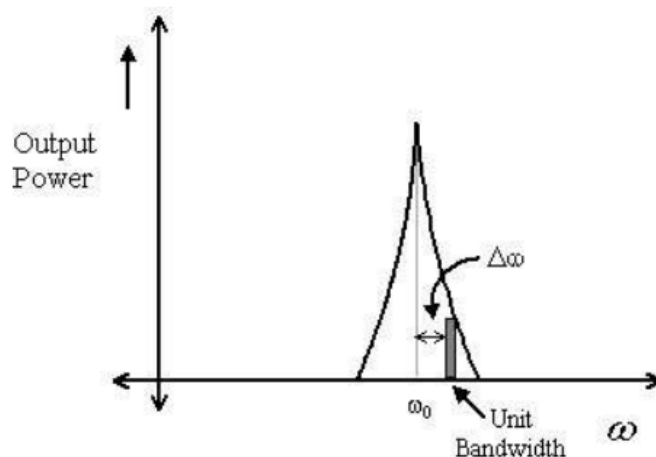


Fonte:(RAZAVI, 2012)

O ruído de fase é calculado a partir de uma janela de 1Hz de frequência do espectro da banda em um *offset* de $\Delta\omega$ da portadora ω_c . Para esse *offset*, o ruído de fase é dado pela divisão da potência ao lado para a potência da portadora. Esse valor é dado em dBc/Hz que é expressa da seguinte forma,

$$L(\Delta\omega) = 10 \cdot \log \frac{\omega_0 + \Delta\omega}{\omega_0} \quad (2.15)$$

Figura 11 – Imagem para demonstrar o cálculo do Ruído de Fase



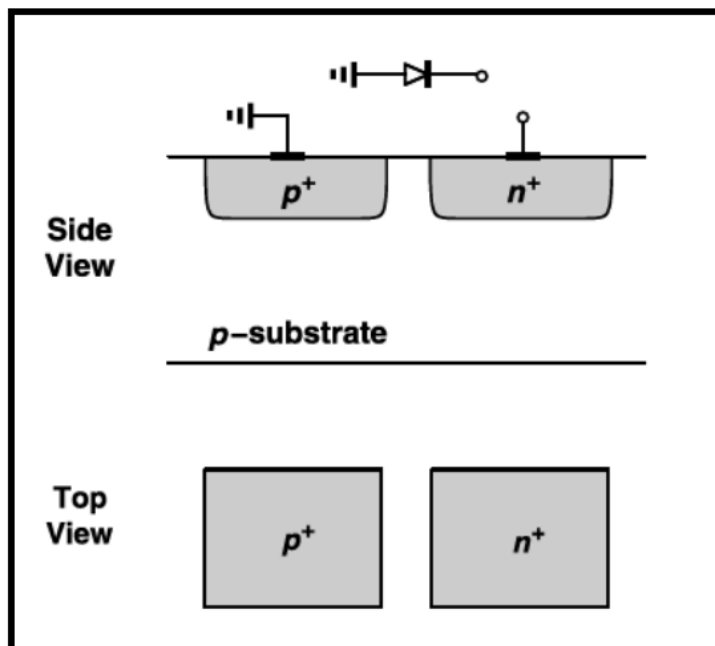
Fonte:(SALIMATH, 2006)

2.2.7 Varicap

O **varicap** (ou **varactor**) é um componente fundamental no projeto de um VCO. É por meio dele que se torna possível o ajuste da frequência de oscilação, devido à sua característica intrínseca de variar a capacitância em função da tensão reversa aplicada. Em circuitos integrados CMOS, essa sintonização é crucial para compensar variações de processo, tensão e temperatura (PVT), tornando o varactor um elemento indispensável para garantir a flexibilidade e a precisão do sistema de rádio frequência.

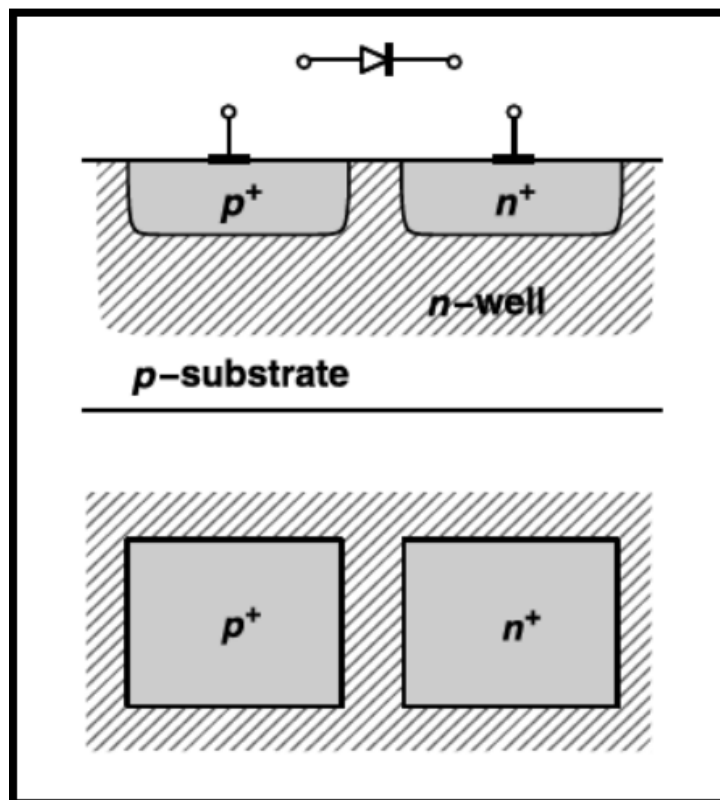
Em projetos mais antigos de circuitos integrados RF, o varactor era entendido como um diodo reversamente polarizado, visto na figura 12, onde o substrato p era o ânodo e o contato n^+ o cátodo. Nesse caso, o substrato p era fortemente ligado ao terra, dessa forma, limitando a flexibilidade do projeto conforme visto em (RAZAVI, 2012). Logo, uma forma de flexibilizar essa topologia é deixando essas conexões "flutuando" colocando uma camada de n-well isolando o diodo do substrato e o utilizando como o cátodo na figura 13.

Figura 12 – Junção PN do varactor com um terminal no terra



Fonte:(RAZAVI, 2012)

Figura 13 – Junção PN do varactor com os dois terminais flutuando



Fonte:(RAZAVI, 2012)

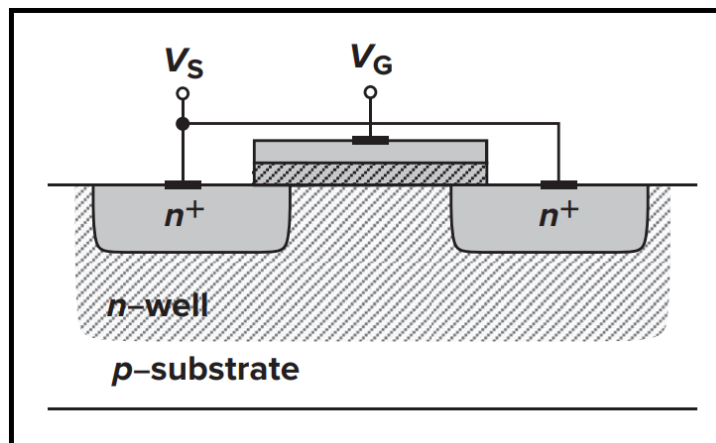
Logo, uma junção *pn* reversamente polarizada serve como um varactor. A dependência da tensão pode ser expressa como:

$$C_{var} = \frac{C_0}{\left(1 + \frac{V_R}{\phi_B}\right)^m} \quad (2.16)$$

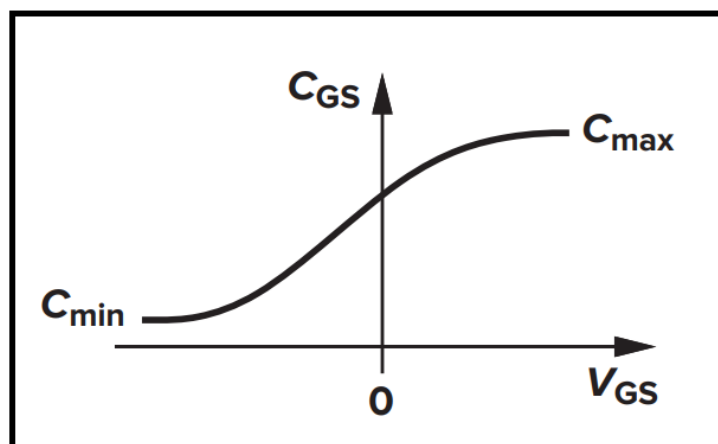
onde C_0 é o valor com a tensão em zero, V_R a tensão reversa da polarização, ϕ_B é o potencial imbutido da junção e m é um valor típico de 0,3 ou 0,4 para estruturas integradas. Fazendo uma análise da equação é notável uma fraca dependência de C_0 de V_R . Normalmente o valor de ϕ_B é em torno de 0,7 a 0,8 V e V_R é restrito a uma tensão de até 1 V, logo, o termo do denominador da equação vai variar entre aproximadamente 1 ou 2. Isso mostra uma das limitações dos osciladores LC: para baixas tensões de carga o valor de C_{var} vai variar muito pouco.

O design da Figura 13, possui 2 pontos negativos relevantes: primeiro o substrato n-well possui uma alta resistividade, ele cria uma resistência em série junto com o diodo reverso e com isso diminuindo o fator de qualidade da capacitância do dispositivo e segundo o n-well por si só gera uma capacitância constante no tanque que acaba por dificultar e limitar o ajuste da frequência. Para a tecnologia CMOS o MOS varactor pode ser construído utilizando um NMOS dentro de um poça n-well, com o **source**, dreno e o n-well ohmicamente conectados e servindo como 1 terminal e o outro terminal sendo o *gate* como na Figura 14, essa estrutura irá variar conforme a tensão de V_{GS} como mostra o gráfico da Figura 15. Outra vantagem do MOS varactor para a junção *pn* é que ele consegue atuar tanto positivo quanto negativo, não dependendo de uma tensão de polarização direta.

Figura 14 – Conexões de substrato em um MOS varactor



Fonte:(RAZAVI, 2012)

Figura 15 – Curva da capacitância por V_{GS} do MOS varactor

Fonte:(RAZAVI, 2012)

2.3 Projeto Analógico

O desenvolvimento de circuitos integrados pode seguir diferentes metodologias, sendo as principais o fluxo digital e o fluxo analógico. Embora a tendência atual aponte para sistemas de sinal misto (*mixed-signal*), a distinção lógica entre esses fluxos de trabalho permanece fundamental. Este projeto adota o fluxo de design analógico, o qual requer o estabelecimento de um ambiente de projeto específico, composto pelo PDK (*Process Design Kit*) e pelas ferramentas EDA (*Electronic Design Automation*).

O PDK consiste no conjunto de bibliotecas e regras tecnológicas fornecidas pela fundição (*foundry*), essenciais para garantir que o circuito seja fabricável. Ele disponibiliza modelos de dispositivos como transistores, indutores, capacitores e resistores, todos baseados na caracterização física da tecnologia escolhida. Por sua vez, as ferramentas EDA são *softwares* que auxiliam e automatizam a criação de esquemáticos, permitindo a conexão de dispositivos em nível de símbolos elétricos. Além disso, essas ferramentas são fundamentais para a execução de simulações (Transiente, DC e AC), validando a funcionalidade e o desempenho do projeto antes da fabricação.

O PDK IHP130-G2, como pode visto em (HERMAN *et al.*, 2024), foi lançado para público no ano de 2023 e vem com a proposta de ser código aberto (*open source*), além dele existe o PDK da SKY30 também *open source*. Diferentemente das EDAs pagas como Synopsys, Cadence, e Siemens, que são código fechados, ou seja, para utilizar o PDK é preciso fazer a compra da licença para assim poder projetar, os de código aberto podem ser utilizados gratuitamente. Se utilizarmos a Cadence como referência ela além de possuir as ferramentas para design de esquemático, layout, simulação também possui o PDK, compreendendo completamente o fluxo de criação. Para um projeto de um chip você vai precisar de ambos as ferramentas de design e o PDK, as ferramentas gratuitas mais comuns são: Xschem, Ngspice, Magic e Klayout,

onde o Xschem atua na criação dos esquemático e junto com o Ngspice atuando nas simulações desses esquemático, já para a parte do layout existem essas duas ferramentas o Magic e o Klayout, nessas ferramentas você vai poder fazer as ligações dos componentes, transistores e trilhas a nível de substratos e metais. Com isso a escolha do PDK IHP130-G2 é de grande relevância, por ser um produto gratuito para demonstrar sua funcionalidade profissional e competição com os PDKs já consolidados no mercado.

2.4 Simulação PSS

A simulação *Periodic Steady-State* (PSS), como visto em (MAHDAVIAN *et al.*, 2016), é comumente utilizada para análise de circuitos RF como: osciladores, *mixers*, PLL. Diferente da análise transitória convencional, o PSS permite encontrar diretamente o estado de equilíbrio periódico do circuito no domínio da frequência, sendo essencial para a caracterização precisa de circuitos não lineares de RF e servindo como base para o cálculo do ruído de fase (*Phase Noise*), comentado na seção (2.2.6).

3 METODOLOGIA

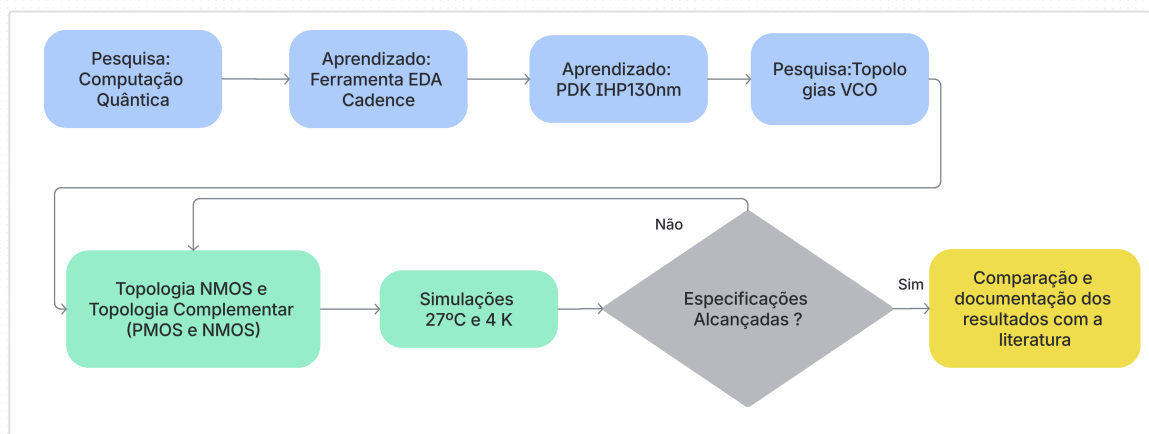
Nessa seção é discutido o fluxo do projeto abordando os passos para a construção das duas topologias de VCO aprofundando nos passos feitos para a elaboração do projeto.

3.1 Definição do Tema

Com base nos desafios impostos pela computação quântica e na necessidade de aprimoramento dos circuitos de leitura e controle de qubits, esta metodologia propõe a transposição desses sistemas para o regime de operação criogênica. O trabalho fundamenta-se no fluxo de projeto de microeletrônica analógica para o desenvolvimento e a validação de duas topologias de Osciladores Controlados por Tensão (VCO) utilizando ferramenta EDA Cadence Virtuoso e o PDK da IHP130nm, destacando que o PDK escolhido possui modelos dos dispositivos em temperaturas criogênicas, com isso gera a possibilidade de realizar as simulações em temperaturas criogênicas.

O objetivo central consiste em comprovar a robustez e o desempenho desses circuitos tanto em temperatura ambiente (300 K) quanto em ambiente criogênico (4 K), utilizando simulações de estado estacionário periódico (PSS) e de ruído de fase (*Phase Noise*). O roteiro de projeto adotado segue as etapas sistematizadas na Figura 16, abrangendo desde a concepção do esquemático até a análise comparativa dos resultados obtidos frente à literatura técnica.

Figura 16 – Diagrama com os passos realizados do projeto



Fonte: Autor 2025

3.2 Projeto

O processo iniciou-se com o estudo de sistemas sob realimentação positiva, abrangendo desde osciladores elementares baseados em um único MOSFET até a topologia de acoplamento cruzado (cross-coupled), amplamente consolidada em aplicações de RF (LEE *et al.*, 2006; SALIMATH, 2006). Subsequentemente, procedeu-se ao domínio da ferramenta EDA Cadence Virtuoso, plataforma que integra a captura de esquemáticos, simulações avançadas e a geração de layouts, além das verificações físicas indispensáveis, como: Design Rule Check (DRC), Layout versus Schematic (LVS), Efeito Antena e extração Pós-Layout.

Na etapa de esquemático, concebeu-se a estrutura lógica do projeto utilizando modelos abstratos de transistores, capacitores, resistores e indutores fornecidos pelo PDK. Nessa fase, as conexões são realizadas via *wires* ideais (resistência nula). Após a validação do circuito por meio de simulações exaustivas, o fluxo prossegue para o desenvolvimento do Layout. Nesse nível, a abstração é substituída por geometrias físicas em substratos e camadas metálicas na escala micrométrica (μm). A título de exemplo, o nome do PDK IHP SG13G2 faz referência ao nó tecnológico de 130 nanômetros (nm), que define o comprimento mínimo de canal dos transistores. Diferentemente do esquemático, o layout traduz o circuito em interconexões físicas reais, fundamentais para a submissão à fabricação.

Feito o estudo com a ferramenta EDA foi o momento para fazer o projeto do oscilador VCO, tendo em referência alguns passos de projeto que estão em (RAZAVI, 2012) comenta sobre os 6 passos para projeto:

1. Partindo de um valor de potência máximo para calcular a *tail current* (I_{SS}), selecionando a resistência em paralelo do tanque, R_p , e dessa forma obtendo a variação de tensão, com a seguinte fórmula: $(4/\pi)I_{SS}R_p$.

2. Selecionar o menor valor de indutor possível, para que dessa forma tenha um valor máximo do fator de qualidade ($Q = R_p/(L\omega_0)$).

3. Determinar as dimensões dos transistores para minimizar as capacitâncias parasitas inerentes.

4. Fazendo a soma da capacitância do transistor, indutor expressas como: $C_{GS} + 4C_{GD} + C_{DB} + C_p + C_L$ em cada nó de saída, junto com o valor de capacitância máximo do varactor, $C_{var,max}$, tudo isso para calcular a menor valor da frequência de oscilação ω_{min} ; dessa forma, $\omega_{min} = 0.9\omega_0$:

$$\frac{1}{\sqrt{L0(C_{GS} + 4C_{GD} + C_{DB} + C_p + C_L + C_{var,max})}} \approx 0.9\omega_0 \quad (3.1)$$

5. De maneira semelhante ao passo anterior, agora calcular a frequência máxima utilizando $C_{var,min}$, logo,

$$\omega_{max} = \frac{1}{\sqrt{L0(C_{GS} + 4C_{GD} + C_{DB} + C_p + C_L + C_{var,min})}} \quad (3.2)$$

6. Se ω_{max} estiver mais alto que o necessário, aumentar o $C_{var,max}$ de forma à centralizar a frequência em torno da ω_0 .

Para a execução deste projeto, foram empregados modelos de dispositivos reais da tecnologia (indutores e varactores) em substituição aos componentes ideais. Nesse âmbito, realizou-se um estudo aprofundado do PDK da IHP, fundamentado na referência (IHP PDK Authors, 2025), para a caracterização dos transistores e componentes passivos. Foram analisados parâmetros críticos como a tensão de limiar (V_{th}), que define a tensão mínima para a condução do transistor, e a tensão dreno-fonte (V_{DS}), que estabelece o limite operacional seguro do canal. Além disso, caracterizou-se a curva de capacitância do varactor em função da tensão aplicada, parâmetro vital para a sintonia do oscilador.

Com base nas bibliotecas tecnológicas disponíveis, selecionou-se um modelo de indutor com indutância nominal de $L = 744,075$ pH e resistência parasita em série de $R_s = 598,037$ m Ω . A partir desses valores, determinou-se o fator de qualidade (Q) do indutor, utilizando a equação clássica de (RAZAVI, 2012):

$$Q = \frac{\omega_0 L}{R_s} \quad (3.3)$$

Onde ω_0 é a frequência natural, a frequência do projeto, L o valor da indutância e R_s o valor da resistência em série. Para esse projeto a frequência de oscilação à ser alcançada é 5 GHz, logo, o fator de qualidade a ser trabalhado será,

$$Q = 39,08$$

A análise da Equação 3.3 revela que o fator de qualidade é inversamente proporcional à resistência parasita em série (R_s). Em um cenário ideal, a ausência de perdas resistivas ($R_s = 0$) faria com que o fator Q tendesse ao infinito; contudo, em dispositivos reais integrados em silício, as perdas ôhmicas e os efeitos do substrato limitam esse valor. Dessa forma, quanto maior o fator de qualidade obtido, menor será a dissipação de energia e melhor será o desempenho espectral do oscilador. Com base nos parâmetros caracterizados do indutor tecnológico, é possível converter a resistência série em uma resistência equivalente em paralelo (R_p), fundamental para o cálculo do ganho de malha, por meio da relação:

$$R_p = Q^2 R_s \quad (3.4)$$

chegando a um valor de $R_p = 913,703\Omega$, ou seja, é justamente esse valor que será preciso ser superado pelos transistores com a transcondutância.

Para calcular a capacitância seguimos com a seguinte equação,

$$C = \frac{1}{\omega^2 L} \quad (3.5)$$

A partir dos cálculos de ressonância, obteve-se um valor de capacitância total de $C = 1,36$ pF. Ressalta-se que, para a implementação física do projeto, serão utilizados varactores, e este valor nominal de capacitância contempla a soma das contribuições dos componentes ativos e passivos, bem como todas as capacitâncias parasitas mencionadas anteriormente no Passo 4.

Com os parâmetros devidamente caracterizados, procedeu-se à implementação das duas topologias propostas para este trabalho: um VCO baseado em um único par diferencial NMOS e um segundo projeto composto por dois pares de transistores complementares (NMOS e PMOS). A primeira configuração, denominada Modelo 1, utiliza transistores NMOS padrão da tecnologia, caracterizados por uma tensão de limiar $V_{th} = 0,5$ V e uma tensão máxima de operação dreno-fonte de $V_{DS} = 1,5$ V, conforme as especificações do PDK (IHP PDK Authors, 2025).

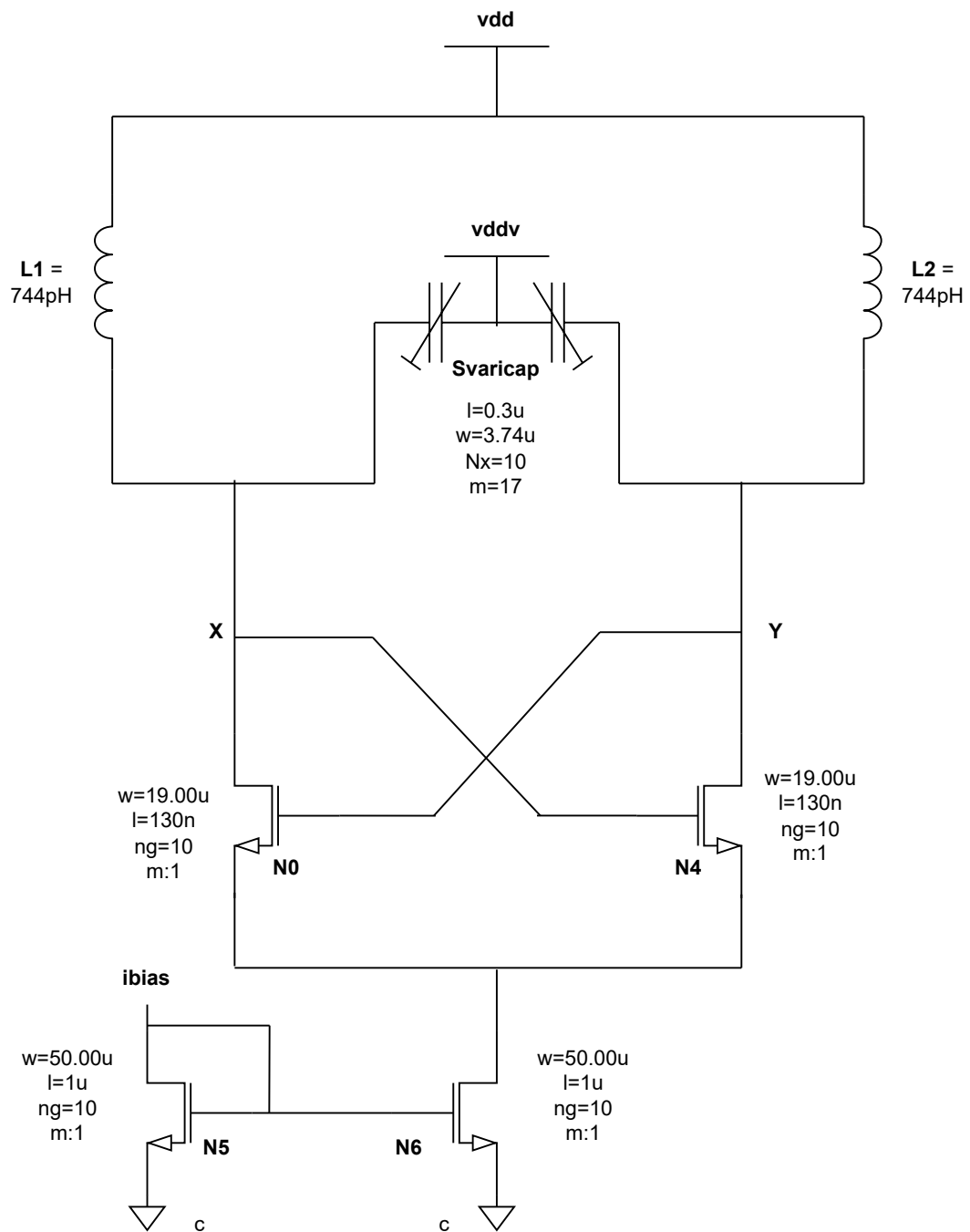
Tabela 1 – Tamanho dos transistores NMOS para o projeto modelo 1

Transistor(NMOS)	W(μm)	L(μm)	ng
N0	19,00	0,13	10
N4	19,00	0,13	10
N5	50,00	1	10
N6	50,00	1	10

Fonte: Autor 2025

Onde o **W** é a largura do canal do transistor e **L** comprimento desse canal e **ng** número de **gates** ou *fingers* do transistores indicando quantos transistores estão em paralelo. Como visto e discutido na seção 2.2.5 e juntamente com a expressão (2.11) o valor desses transistores foi então calculado para que enquanto atuando em saturação, ou seja, enquanto o $V_{DS} > (V_{DS} - V_{th})$, para o NMOS, a transcondutância precisa vencer a resistência do tanque mencionada anteriormente, os transistores N5 e N6 são utilizados como espelhos de corrente simples, uma forma de copiar uma fonte de corrente injetada para o circuito. Na figura 17 é visto a topologia 1 de projeto, utilizando apenas NMOS e utilizando uma fonte de corrente "abaixo" do circuito para criar a corrente de cauda

Figura 17 – Esquemático da Topologia 1



Fonte: Autor 2025

E para o projeto da topologia 2 na figura 16 temos as seguintes relações de transistores

4 RESULTADOS E DISCUSSÃO

Para início dessa seção a Tabela 3 mostra os valores padrões dos componentes utilizados de indutor, corrente (I_{bias}), tensão do varicap (VDDV) e tensão de alimentação (VDD), a tensão de alimentação das topologias são diferentes pois a topologia 2 apresenta um número maior de transistores no nó X e Y, logo, para garantir que os transistores funcionem em saturação, ($V_{DS} > V_{GS} - V_{th}$), para transistores NMOS, precisa ser respeitado, dessa forma a topologia 2 possui uma alimentação de 1,5 V para garantir o funcionamento dos transistores em saturação:

Tabela 3 – Valores base para as Topologias 1 e 2

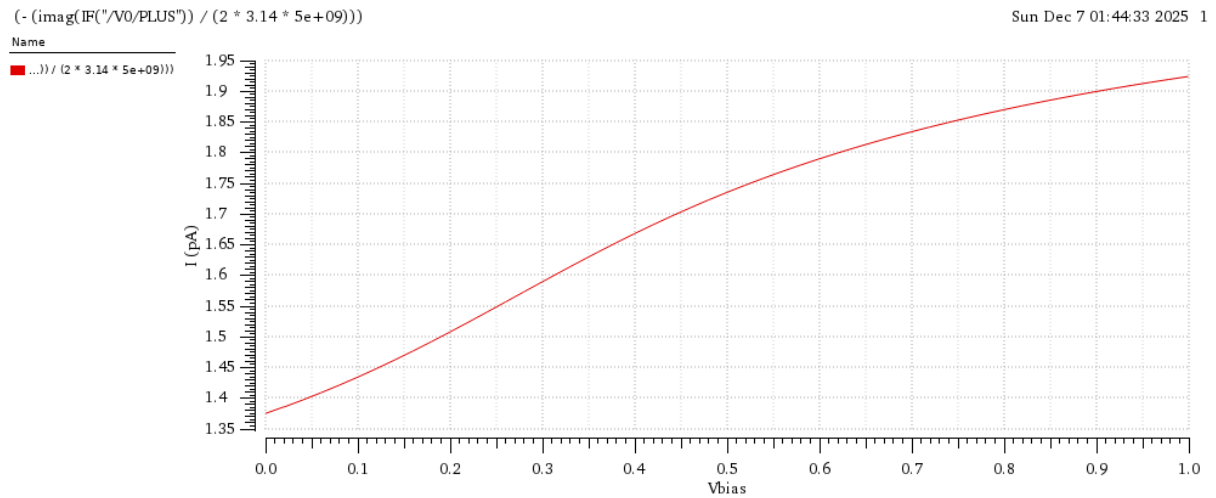
Modelo	Ibias(mA)	Indutor(pH)	VDD(V)	VDDV(V)	Capacitor(pF)	ω_0 (GHz)
1	1	744,075	1	0-1	1,36	5
2	1	744,075	1.5	0-1	1,36	5

Fonte: Autor 2025

O varactor disponibilizado pela tecnologia foi modelado por meio de simulações específicas. Visto que cada topologia possui, inerentemente, valores distintos de capacitâncias parasitas em função do número de dedos (gate fingers ou ng) e da quantidade de transistores utilizados, realizou-se uma compensação desses efeitos no dimensionamento do componente.

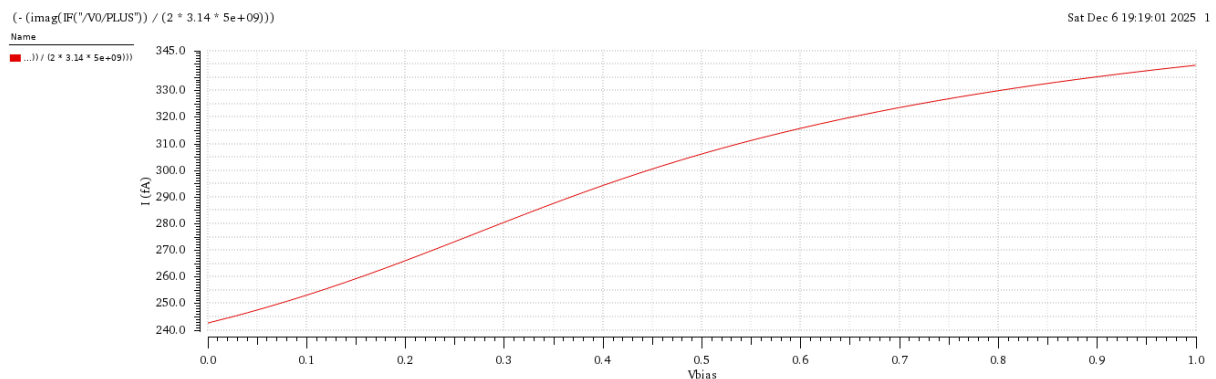
Dessa forma, as contribuições parasitas foram subtraídas do valor nominal do varactor para garantir a frequência de operação desejada. Os resultados da caracterização do componente tecnológico são apresentados nas figuras 19 e 20, é importante ressaltar que os valores do eixo Y dos gráficos estão em pA na figura 19 e fA na figura 20, porém esses valores correspondem a capacitância em faraday, as quais detalham a variação da capacitância em função da tensão de controle:

Figura 19 – Curva de capacitância x tensão do varicap da tecnologia IHP130nm usado no topologia 1



Fonte: Autor 2025

Figura 20 – Curva de capacitância x tensão do varicap da tecnologia IHP130nm usado no topologia 2



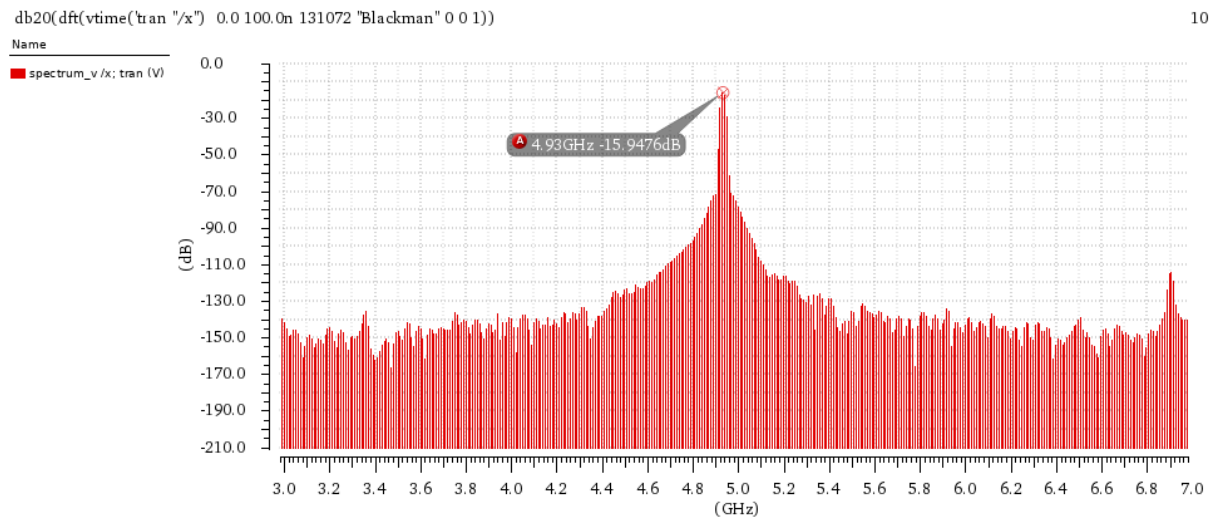
Fonte: Autor 2025

Conforme discutido em seções anteriores, a variação da tensão de controle (V_{DDV}) promove a alteração da capacitância do dispositivo. Para a Topologia 1, foram utilizados 17 varactores em paralelo para atingir a capacitância necessária à frequência de operação (Figura 19), enquanto a Topologia 2 exigiu apenas 3 unidades (Figura 20). A necessidade de uma capacitância de sintonização reduzida no Modelo 2 justifica-se pelo fato de esta topologia possuir um par complementar de transistores adicional, o qual já introduz capacitâncias parasitas intrínsecas maiores ao nó de oscilação em comparação a Topologia 1. Dessa forma, em uma análise preliminar, a utilização de menos varactores na Topologia 2 possibilita uma redução no número de componentes e, conseqüentemente, na área total ocupada pelo circuito no chip. A tensão de controle (V_{ctrl}) foi definida no intervalo de 0 a 1 V, onde o valor 0 V corresponde à capacitância mínima e 1 V à capacitância máxima do dispositivo.

4.1 Topologia 1

Conforme apresentado na Figura 17, o esquemático da Topologia 1 foi submetido a simulações de varredura da tensão de controle ($VDDV$). A Figura 21 exibe o espectro de frequência, apresentando o formato característico de "saia"—efeito decorrente do ruído de fase mencionado anteriormente. Observa-se uma frequência central de 4,93 GHz, o que representa um desvio de apenas 70 MHz (aproximadamente 1,4%) em relação ao valor nominal de projeto de 5 GHz.

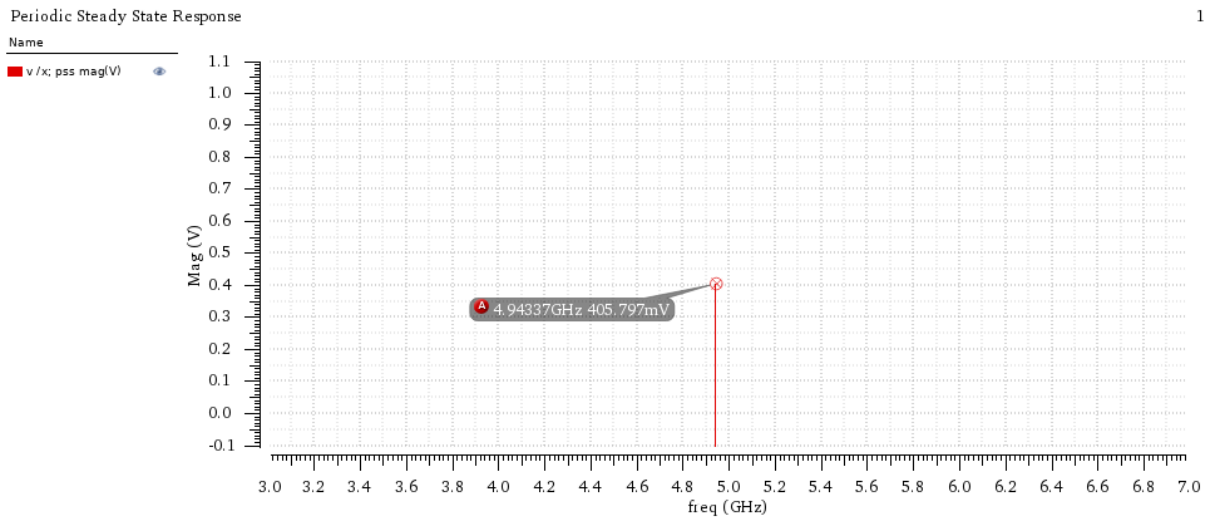
Figura 21 – Espectro da frequência da Topologia 1 em 27°C para $VDDV$ 0V



Fonte: Autor 2025

Adicionalmente, procedeu-se à análise do espectro de frequência na Figura 22, na qual se destaca a amplitude de tensão de 405,797 mV na saída positiva do oscilador. Este valor de amplitude é fundamental para garantir o balanço de potência e a correta excitação dos estágios subsequentes do sistema de leitura quântica.

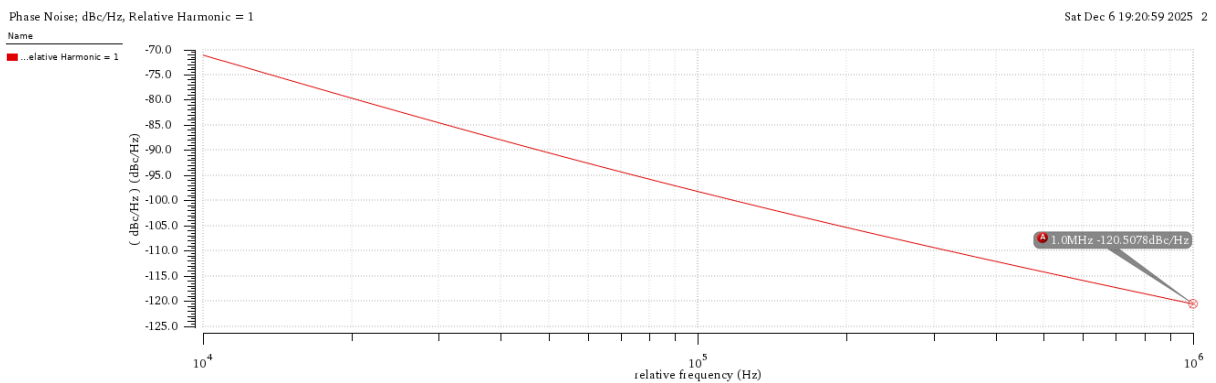
Figura 22 – Gráfico da simulação PSS do Modelo 1 em 27°C para VDDV 0V



Fonte: Autor 2025

Na Figura 23, apresenta-se o ruído de fase (phase noise), cuja análise foi realizada em um intervalo de frequências de offset entre 10 kHz e 1 MHz. Obteve-se o valor de -120,50 dBc/Hz para o desvio de 1 MHz. O ruído de fase constitui um dos parâmetros mais críticos desta avaliação; pois, ainda que a frequência de 5 GHz seja atingida, o sistema torna-se inviável para aplicações de computação quântica caso não apresente uma pureza espectral compatível com os requisitos de leitura e controle do qubit.

Figura 23 – Ruído de fase da Topologia 1 em 27°C para o VDDV 0V

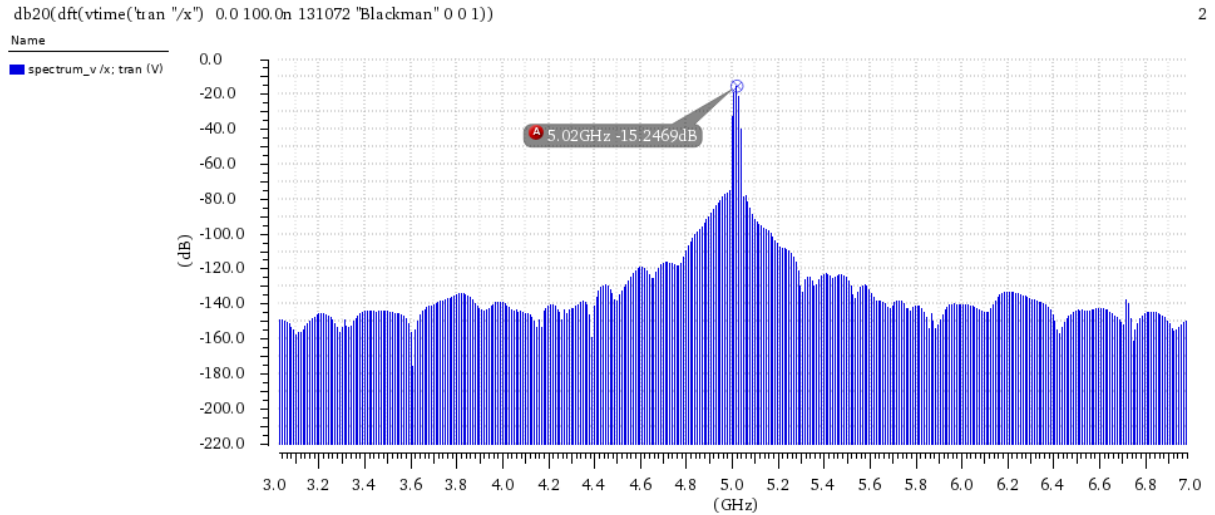


Fonte: Autor 2025

Subsequentemente, foram realizadas simulações para um valor intermediário de VDDV, fixado em 0,5 V. Sob essa condição, observa-se na Figura 24 uma frequência de oscilação de 5,01 GHz, atingindo-se a especificação nominal de projeto para este nível de tensão de controle. Ao analisar a Figura 25, nota-se que não houve variação significativa na amplitude da tensão de saída em comparação aos casos anteriores. Da mesma forma, os resultados apresentados na

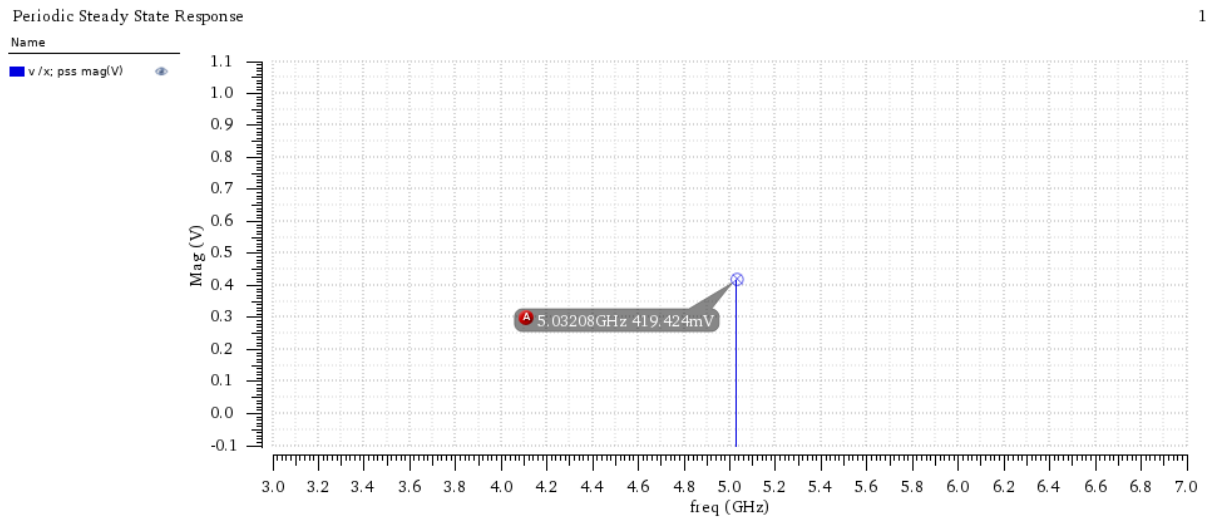
Figura 26 indicam que o ruído de fase não sofreu alterações drásticas, mantendo a estabilidade espectral do oscilador para este ponto de operação.

Figura 24 – Espectro da frequência da Topologia 1 em 27°C para o VDDV 0.5V



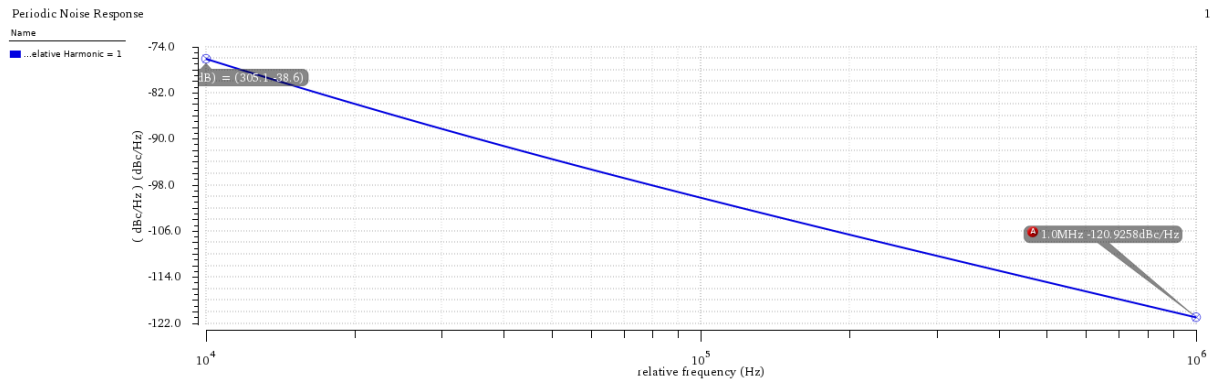
Fonte: Autor 2025

Figura 25 – Gráfico da simulação PSS da Topologia 1 em 27°C para VDDV 0.5V



Fonte: Autor 2025

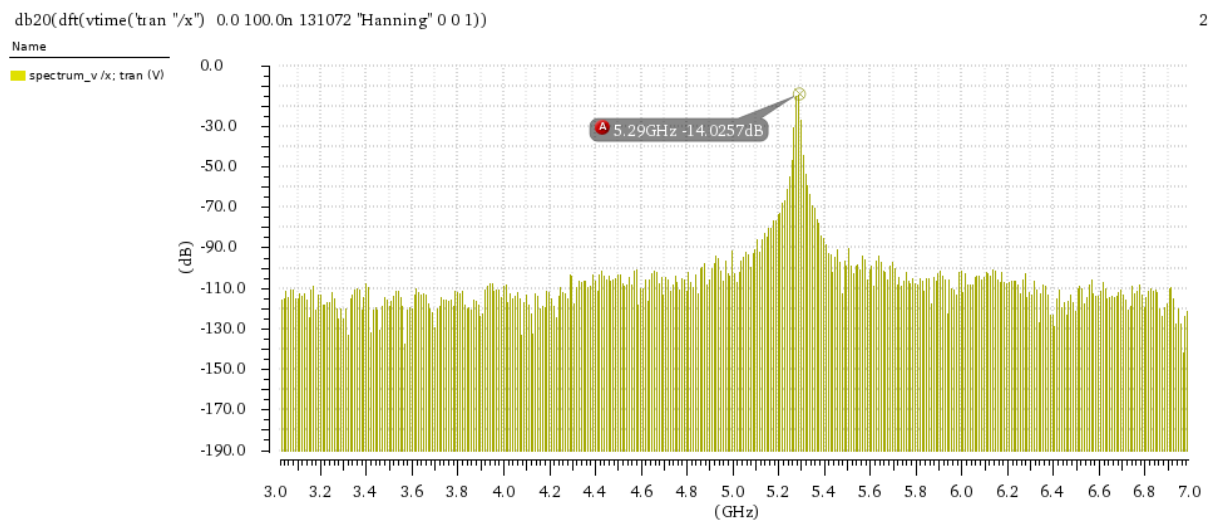
Figura 26 – Ruído de fase do Modelo 1 em 27°C para o VDDV 0.5V



Fonte: Autor 2025

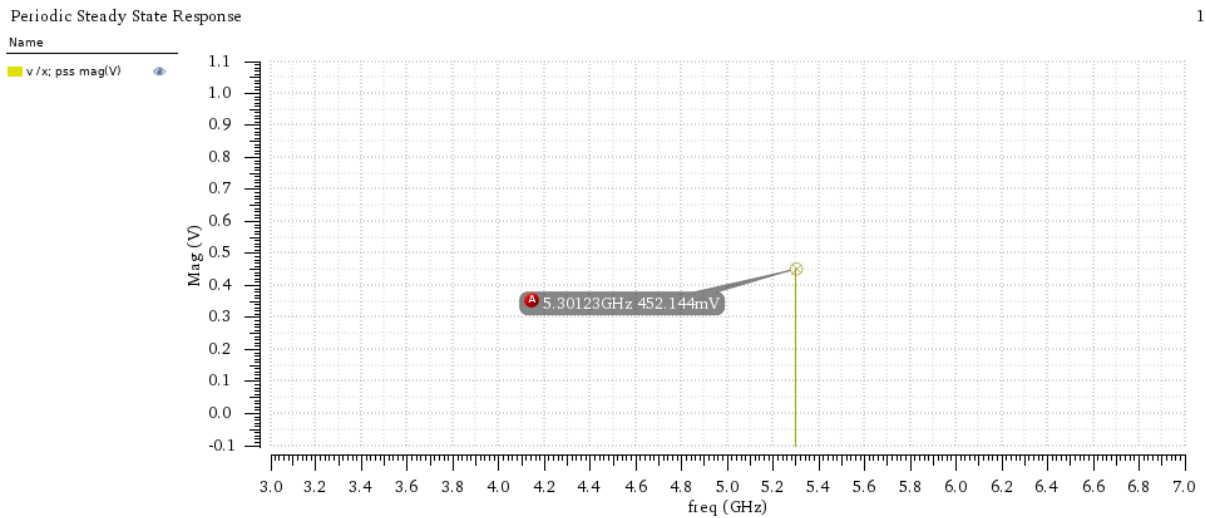
Embora o objetivo de 5 GHz tenha sido atingido com VDDV em 0,5 V, a capacidade de ajuste até o limite de 1 V proporciona uma margem de segurança essencial. Osciladores são dispositivos extremamente sensíveis a capacitâncias e resistências parasitas não modeladas; portanto, possuir essa flexibilidade de sintonia garante a funcionalidade do chip mesmo diante de variações de processo. Conforme ilustrado na Figura 27, ao aplicar o valor máximo de 1 V em VDDV, a frequência de oscilação elevou-se para 5,3 GHz. Esse incremento de aproximadamente 300 MHz em relação ao ponto anterior ocorreu sem degradação da amplitude de saída ou do ruído de fase, confirmando a estabilidade da topologia em toda a faixa de operação..

Figura 27 – Espectro da frequência do Topologia 1 em 27°C para o VDDV 1V



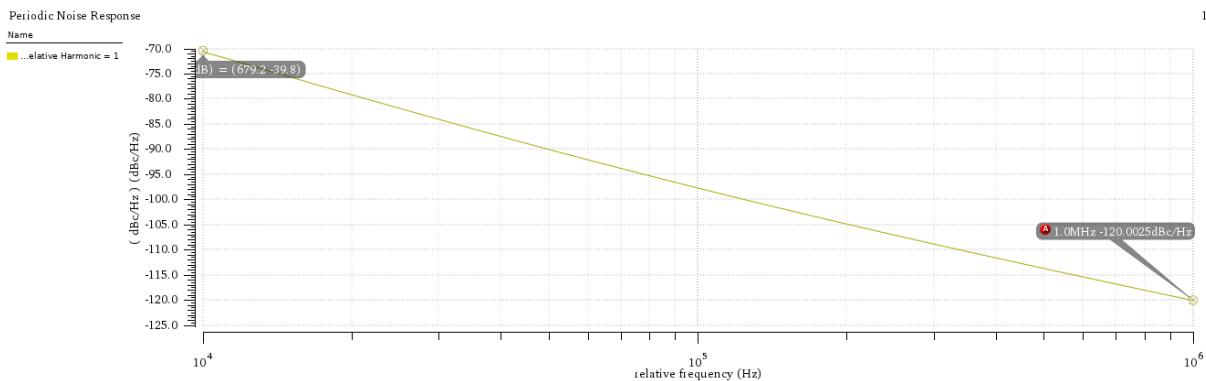
Fonte: Autor 2025

Figura 28 – Gráfico da simulação PSS do Topologia 1 em 27°C para VDDV 1V



Fonte: Autor 2025

Figura 29 – Ruído de fase do Topologia 1 em 27°C para o VDDV 1V



Fonte: Autor 2025

4.1.1 Topologia 1 Simulações em Temperatura 4 K

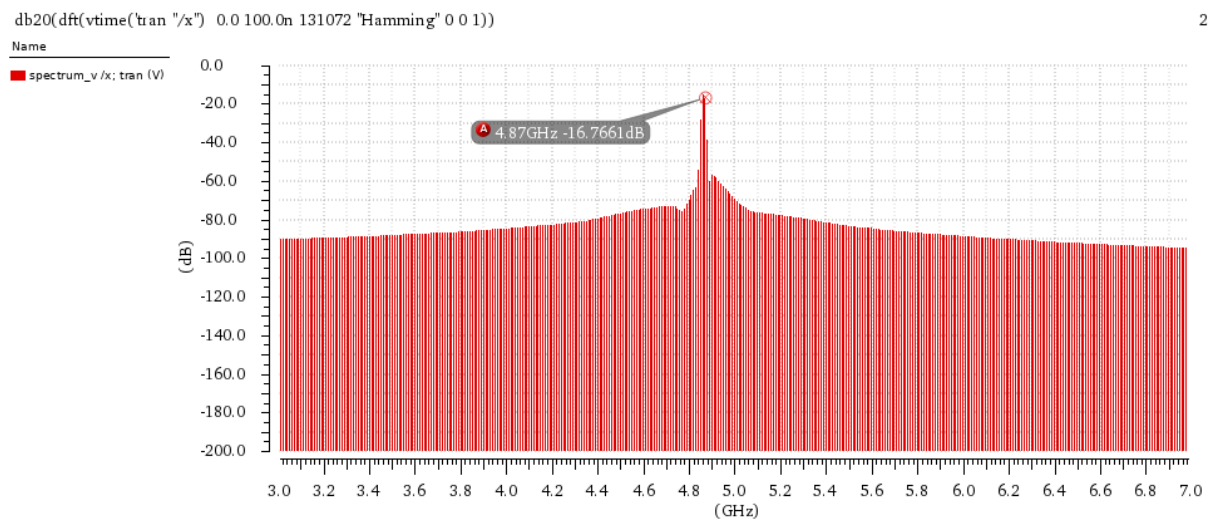
O objetivo central deste projeto é assegurar a funcionalidade do oscilador em temperaturas criogênicas (4 K). Para tal, o PDK IHP 130 nm disponibiliza modelos de dispositivos especificamente caracterizados para a temperatura de 4 K (-269,15 °C), o que ratifica a escolha dessa tecnologia para aplicações de vanguarda. A fim de comprovar a robustez da topologia proposta, foram realizadas simulações criogênicas fundamentadas no modelamento físico da função. Essa validação é crucial, dado que fenômenos quânticos essenciais, como a superposição e o emaranhamento, manifestam-se apenas em temperaturas extremamente reduzidas, onde o ruído térmico é minimizado para permitir o controle preciso dos qubits (PELLERANO *et al.*, 2022).

As Figuras 30, 31 e 32 apresentam os resultados obtidos à temperatura de -269,15 °C,

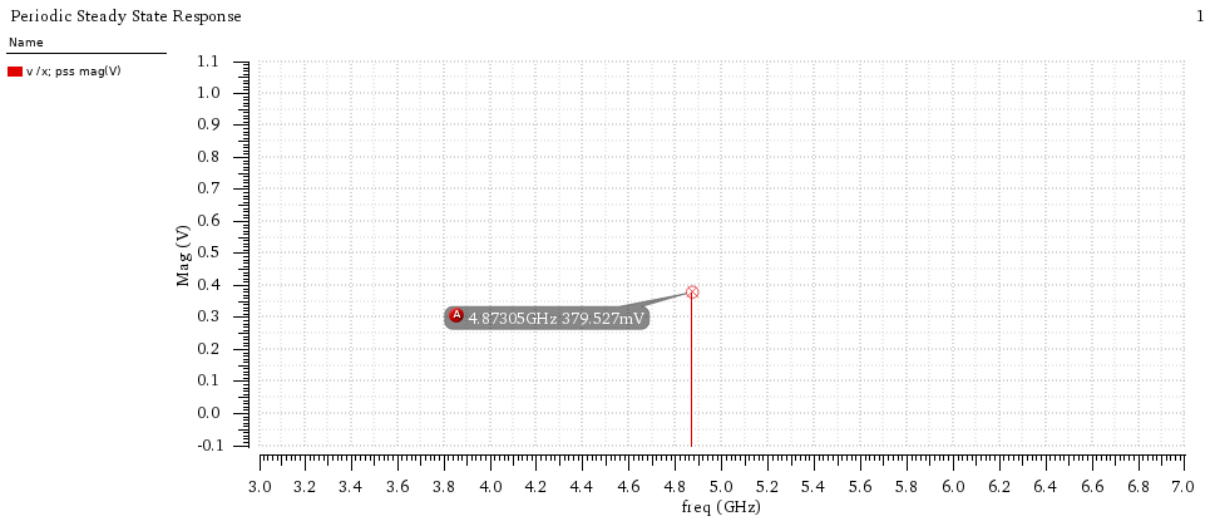
iniciando-se a análise com o VDDV configurado em 0 V. Inicialmente, observa-se uma frequência de 4,86 GHz; quando comparada à operação em temperatura ambiente, nota-se uma redução de aproximadamente 70 MHz. Além disso, houve uma queda na amplitude de saída para 267,678 mV, o que representa uma redução de quase 50% em relação ao desempenho térmico nominal.

Ao analisar o comportamento dos transistores e revisar os modelos do PDK (IHP PDK Authors, 2025), verifica-se que o fenômeno típico em temperaturas criogênicas é o aumento da tensão de limiar (*threshold voltage* - V_{th}). Esse aumento pode dificultar a polarização do dispositivo na região de saturação, dependendo da tensão de alimentação utilizada. Contudo, na Figura 32, observa-se uma melhora significativa no ruído de fase, que passou de -120,5 dBc/Hz para -136,65 dBc/Hz (uma redução de 16,15 dBc/Hz no patamar de ruído). Os efeitos das baixas temperaturas não se limitam ao deslocamento de V_{th} , mas proporcionam ganhos expressivos na performance e na eficiência do sistema, devido à drástica redução do ruído térmico.

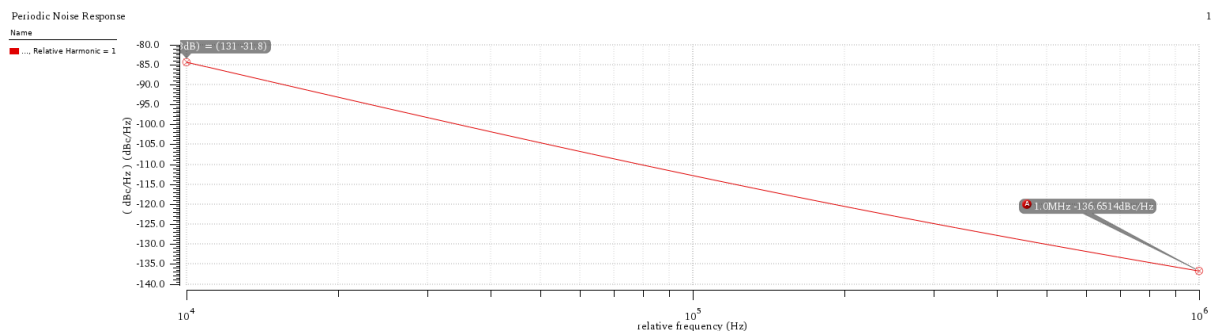
Figura 30 – Espectro da frequência da Topologia 1 em -269,15°C para o VDDV 0V



Fonte: Autor 2025

Figura 31 – Gráfico da simulação PSS da Topologia 1 em $-269,15^{\circ}\text{C}$ para VDDV 0V

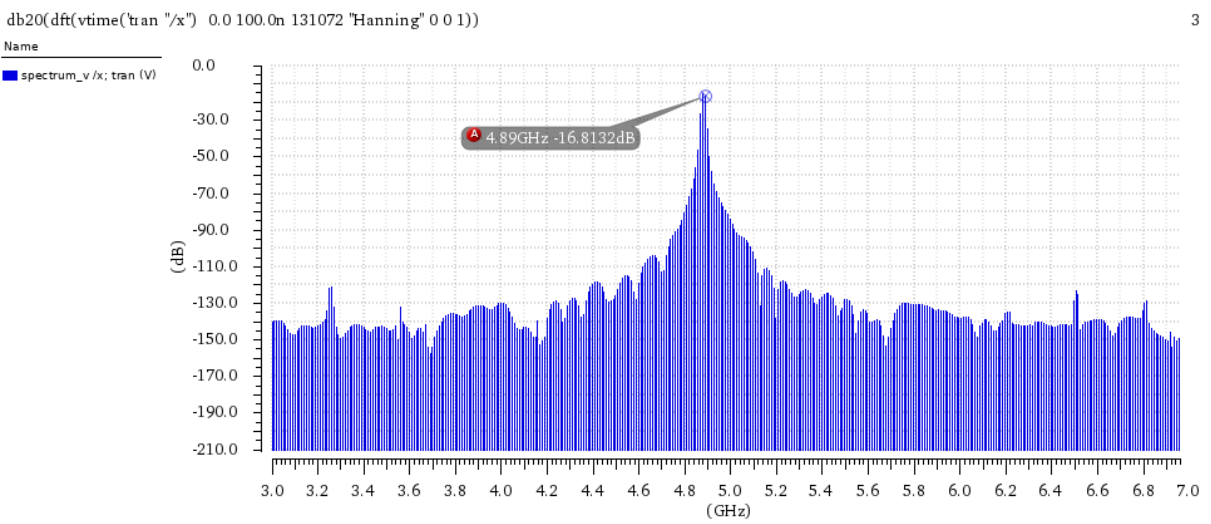
Fonte: Autor 2025

Figura 32 – Ruído de fase da Topologia 1 em $-269,15^{\circ}\text{C}$ para o VDDV 0V

Fonte: Autor 2025

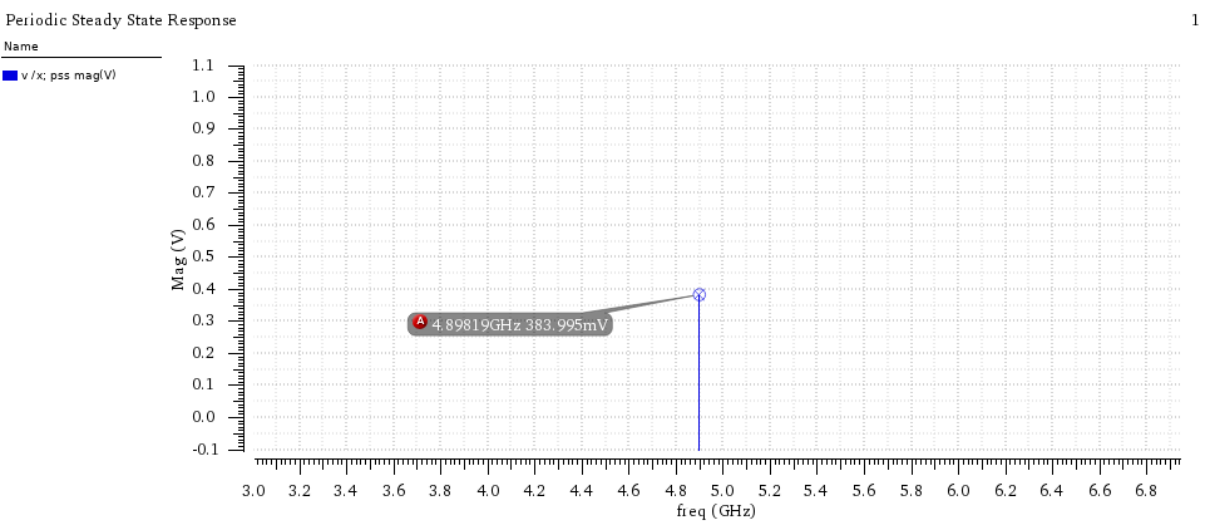
O esperado para as simulações com o aumento de VDDV é um aumento da frequência (ω_0), as próximas figuras mostram as simulações para VDDV 0,5V. Na Figura 33 temos um leve aumento na frequência e na 35, porém um aumento bem menor se comparado as simulações em temperatura ambiente, mostrando a importância do varicap em ajustar para a frequência projetada.

Figura 33 – Espectro da frequência da Topologia 1 em -269,15°C para o VDDV 0,5V

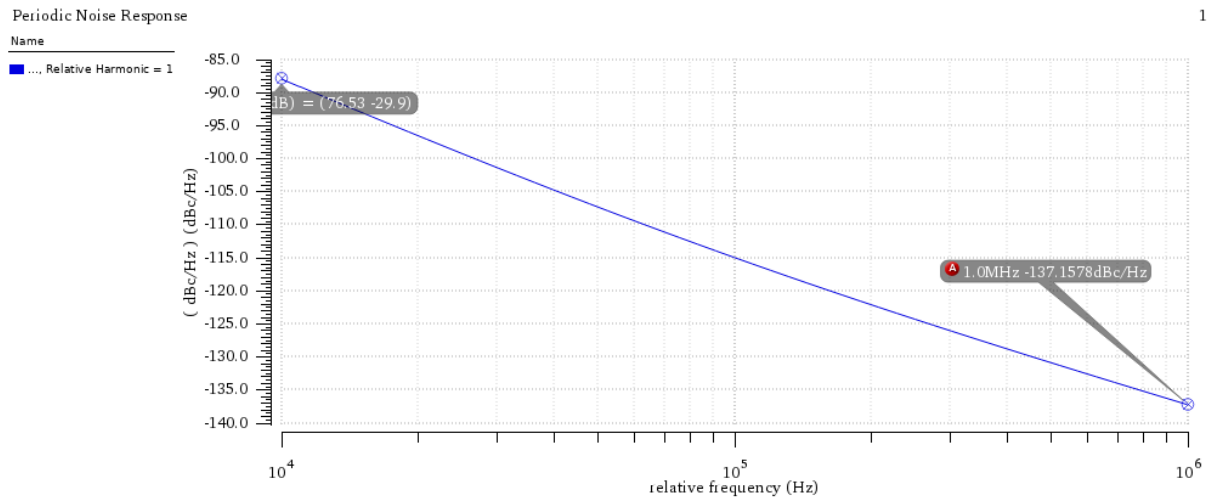


Fonte: Autor 2025

Figura 34 – Gráfico da simulação PSS da Topologia 1 em -269,15°C para VDDV 0,5V



Fonte: Autor 2025

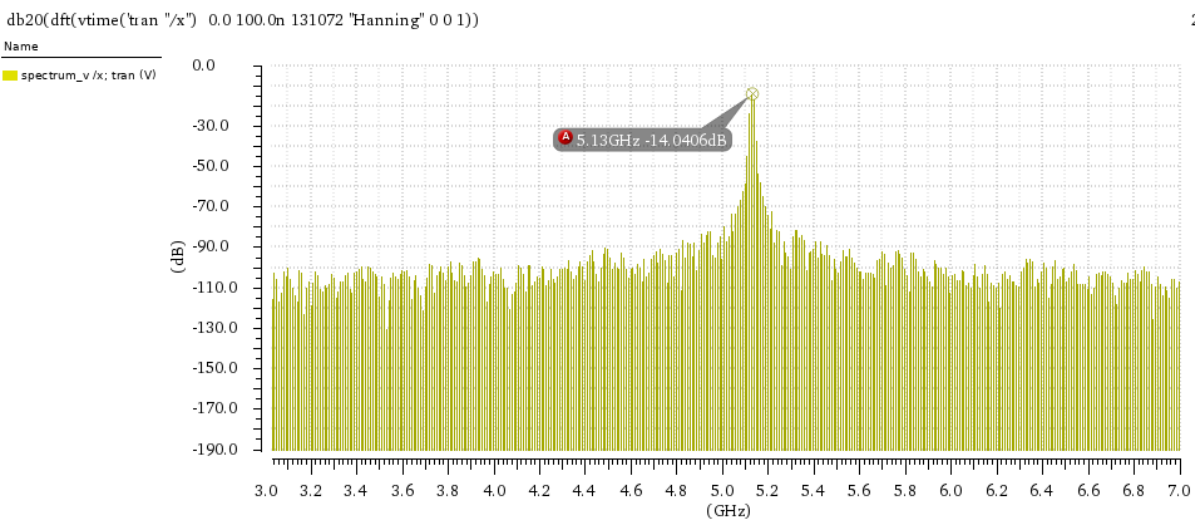
Figura 35 – Ruído de fase da Topologia 1 em $-269,15^{\circ}\text{C}$ para o VDDV 0,5V

Fonte: Autor 2025

Os resultados para VDDV em 1 V demonstram um incremento na frequência de oscilação, conforme ilustrado na Figura 36, superando em aproximadamente 130 MHz a frequência nominal de 5 GHz. Observa-se uma variação não linear na sintonização: enquanto o aumento de VDDV de 0 V para 0,5 V resultou em um acréscimo de apenas 25 MHz, a transição de 0,5 V para 1 V promoveu um salto de 250 MHz, comportamento que guarda semelhança com a simulação em temperatura ambiente.

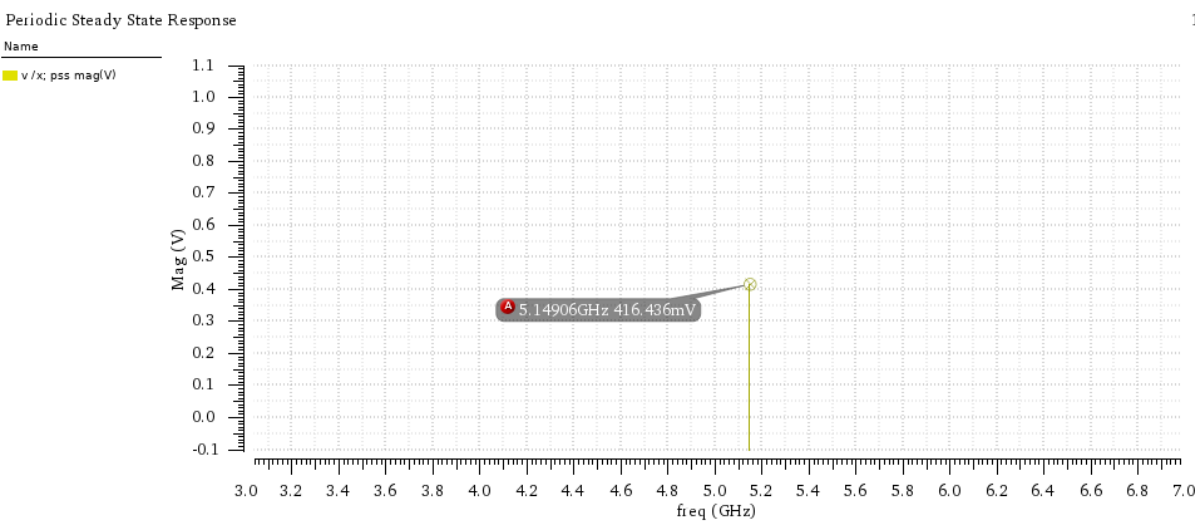
Tais dados comprovam que a topologia é capaz de atingir a frequência de projeto em regime criogênico, embora exija um ajuste mais fino na tensão VDDV, situando-se no intervalo entre 0,5 V e 1 V. Diferentemente da operação a 27°C — onde a frequência central era atingida exatamente em 0,5 V —, a operação a 4 K demanda uma tensão de controle ligeiramente superior, mas com a vantagem significativa do expressivo incremento na pureza espectral proporcionado pelo baixo ruído de fase nessas temperaturas.

Figura 36 – Espectro da frequência da Topologia 1 em -269,15°C para o VDDV 1V



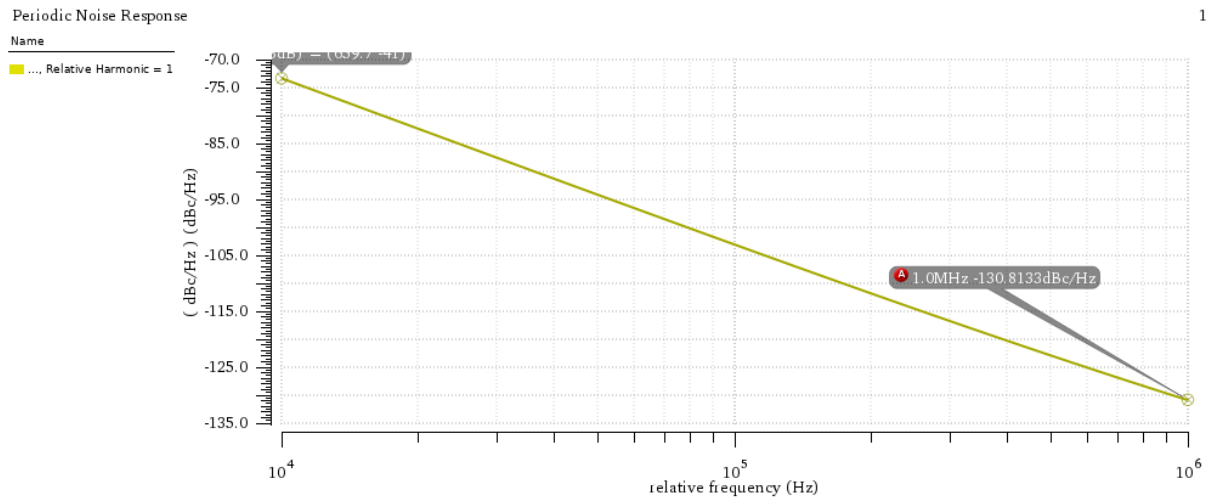
Fonte: Autor 2025

Figura 37 – Gráfico da simulação PSS da Topologia 1 em -269,15°C para VDDV 1V



Fonte: Autor 2025

Figura 38 – Ruído de fase da Topologia 1 em -269,15°C para o VDDV 1V



Fonte: Autor 2025

4.2 Topologia 2

Procedeu-se à realização de simulações para a Topologia 2 de forma análoga à Topologia 1, embora apresentem distinções significativas. Além da adição do par complementar PMOS, houve uma redução no número de dedos (gate fingers — ng) nos transistores de acoplamento cruzado. Nesta configuração, a transcondutância total (G_m) é provida por ambos os pares de transistores; portanto, para compensar a resistência de perdas do tanque (R_p), demanda-se uma largura total de canal inferior em cada transistor individualmente.

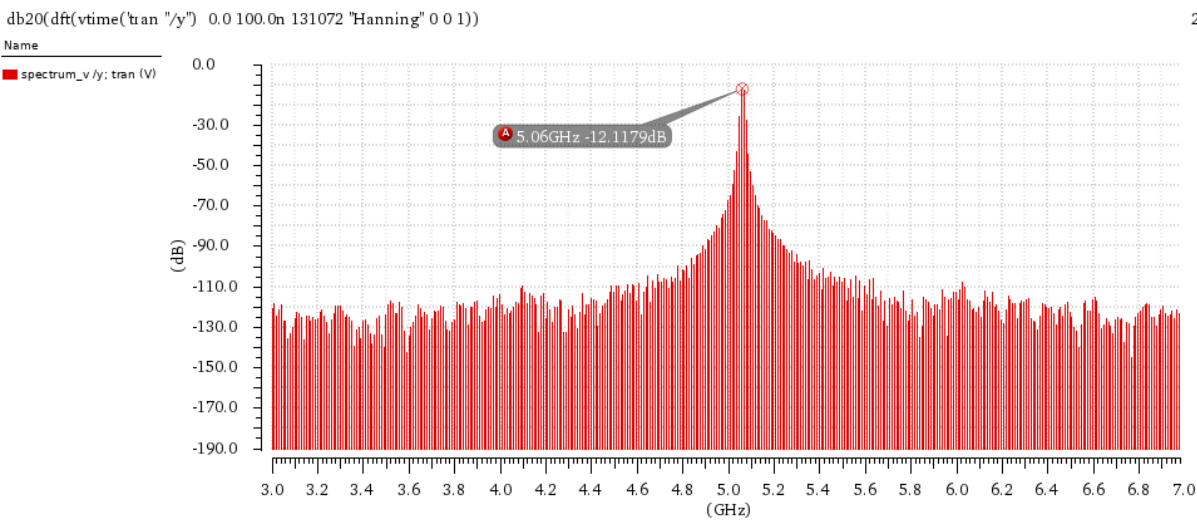
Conforme detalhado na Tabela 2, os transistores NMOS da Topologia 2 possuem metade do número de gates em relação à Topologia 1. Contudo, transistores PMOS exigem dimensões superiores para igualar a transcondutância dos NMOS, devido à menor mobilidade das lacunas em comparação aos elétrons. Assim, apesar da redução nos NMOS, a inclusão de PMOS robustos é necessária para balancear o G_m total.

Esse aumento no número de dispositivos resulta em capacitâncias parasitas intrínsecas mais elevadas, o que reduz a necessidade de capacitância externa proveniente dos varactores para atingir a frequência de projeto. Como evidenciado nas Figuras 19 e 20, enquanto a Topologia 1 utiliza 17 varactores em paralelo, a Topologia 2 requer apenas 3, proporcionando uma redução substancial na área total de silício. Outra diferença crítica reside na tensão de alimentação: a presença de um transistor adicional em cada braço do circuito reduz o headroom de tensão, o que pode levar os transistores NMOS à região de triodo caso a polarização não seja ajustada criteriosamente.

Começando com as simulações em temperatura ambiente com VDDV 0. Temos na Figura 39 o valor de 5,06GHz já atingindo a frequência do projeto na Figura 4 uma tensão na saída do canal negativo de 568,942mV e um ruído de fase de -115,6397dBc/Hz, tendo uma

diferença de 5dBc/Hz se comparado ao Topologia 1.

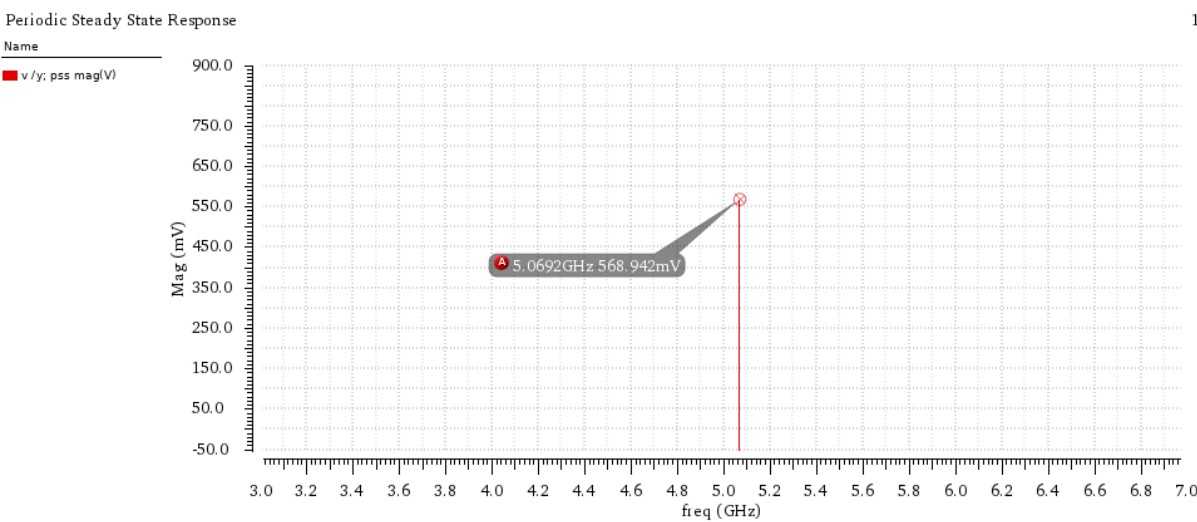
Figura 39 – Espectro da frequência da Topologia 2 em 27°C para o VDDV 0V



2

Fonte: Autor 2025

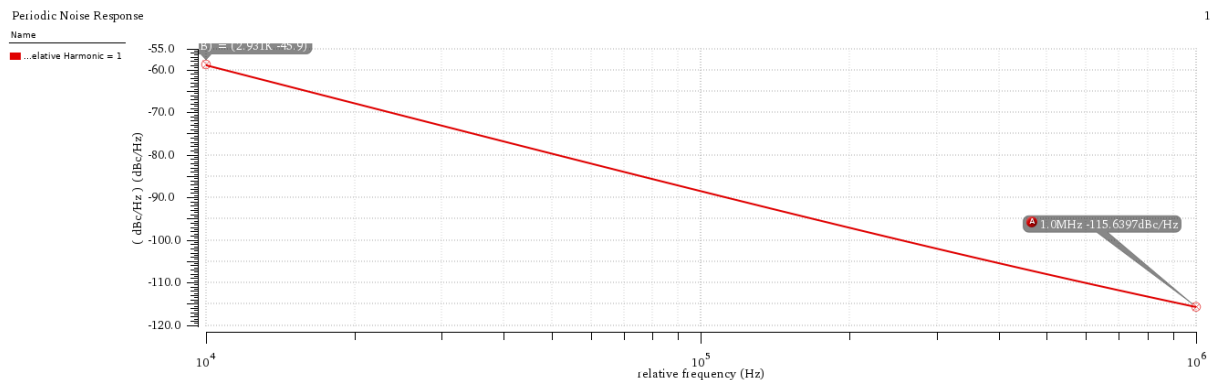
Figura 40 – Gráfico da simulação PSS da Topologia 2 em 27°C para VDDV 0V



1

Fonte: Autor 2025

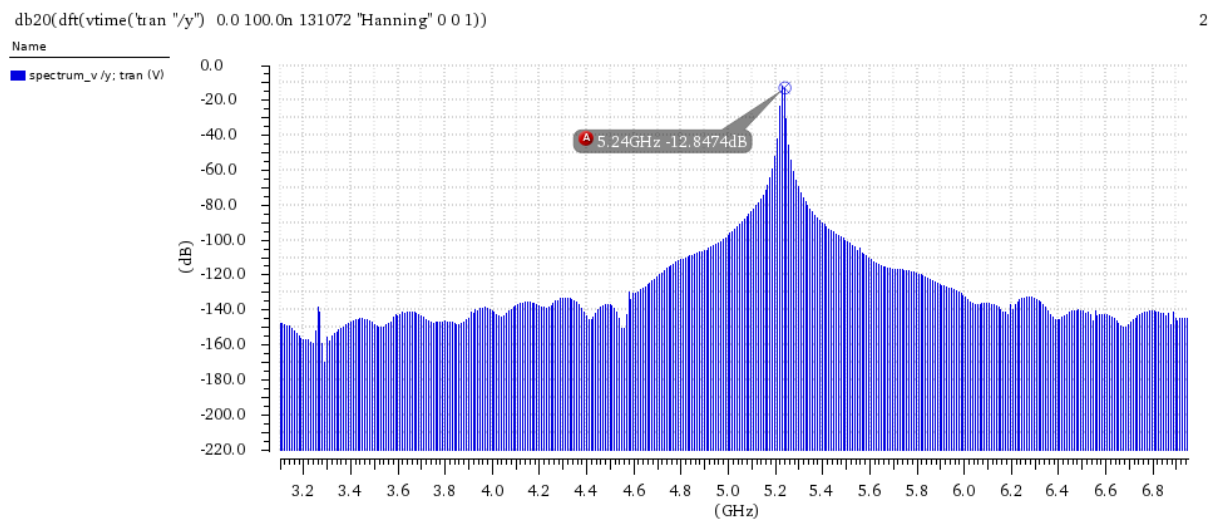
Figura 41 – Ruído de fase da Topologia 2 em 27°C para o VDDV 0V



Fonte: Autor 2025

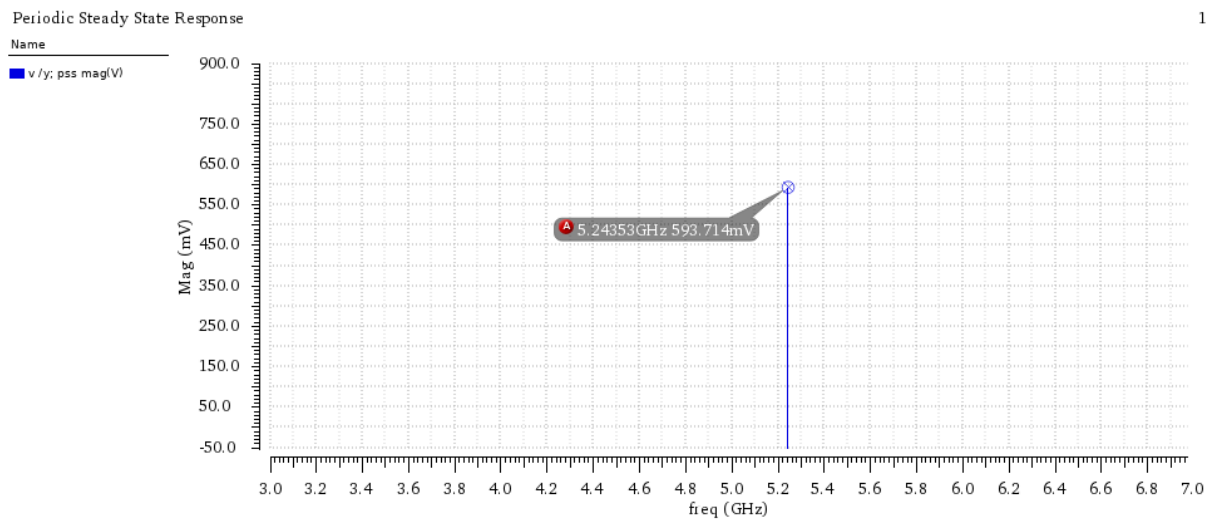
Como para essa Topologia em VDDV 0 V já alcançou a frequência o aumento até 1V será basicamente para frequências maiores. As simulações para 0,5V. Temos um aumento de 230MHz visto na Figura 42 e um aumento perceptível no ruído de fase visto na Figura 44, deixando um pouco pior se comparado ao Modelo 1 que preservava esse valor.

Figura 42 – Espectro da frequência da Topologia 2 em 27°C para o VDDV 0,5V



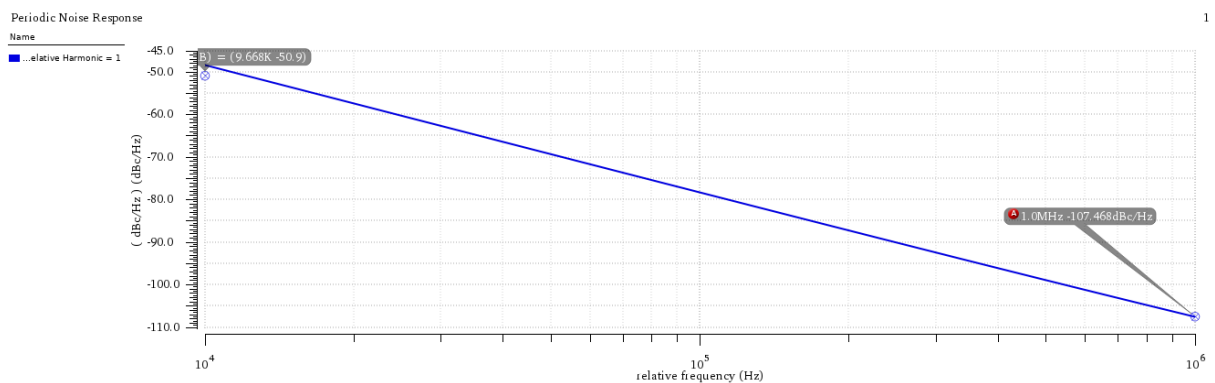
Fonte: Autor 2025

Figura 43 – Gráfico da simulação PSS da Topologia 2 em 27°C para VDDV 0,5V



Fonte: Autor 2025

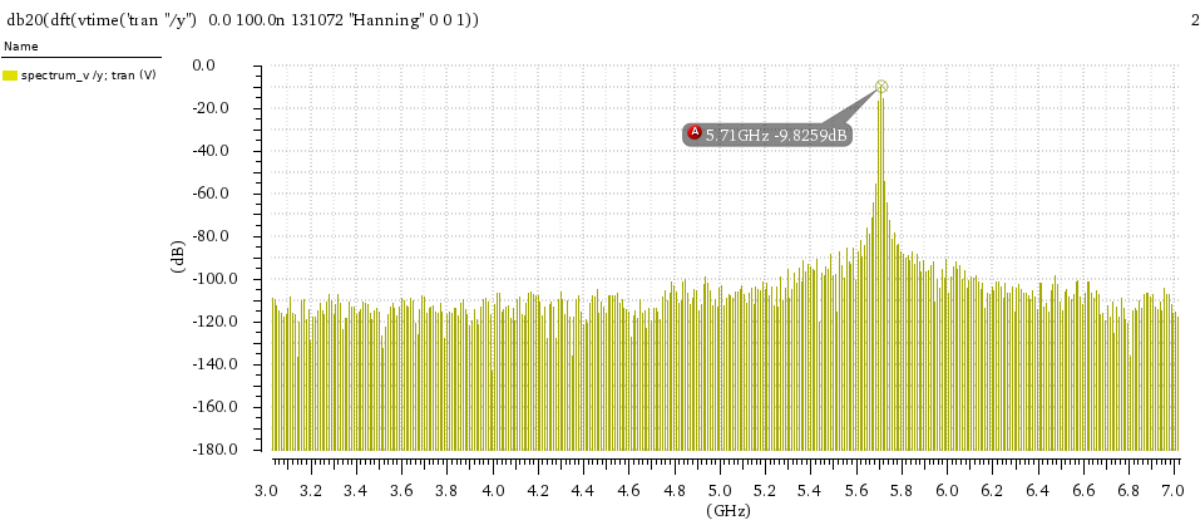
Figura 44 – Ruído de fase da Topologia 2 em 27°C para o VDDV 0,5V



Fonte: Autor 2025

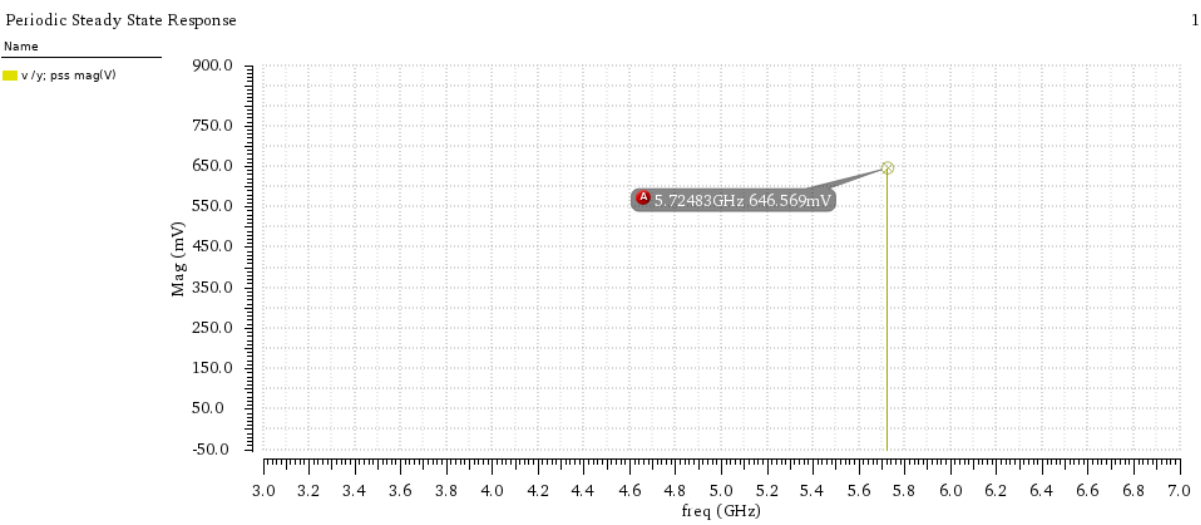
Para os valores de VDDV 1V. Com isso temos um alcance de frequência em torno de 700MHz, se comparado ao Modelo 1 em torno de 300MHz, porém com esse aumento no ruído de fase para as tensões de 0,5 e 1V.

Figura 45 – Espectro da frequência da Topologia 2 em 27°C para o VDDV 1V



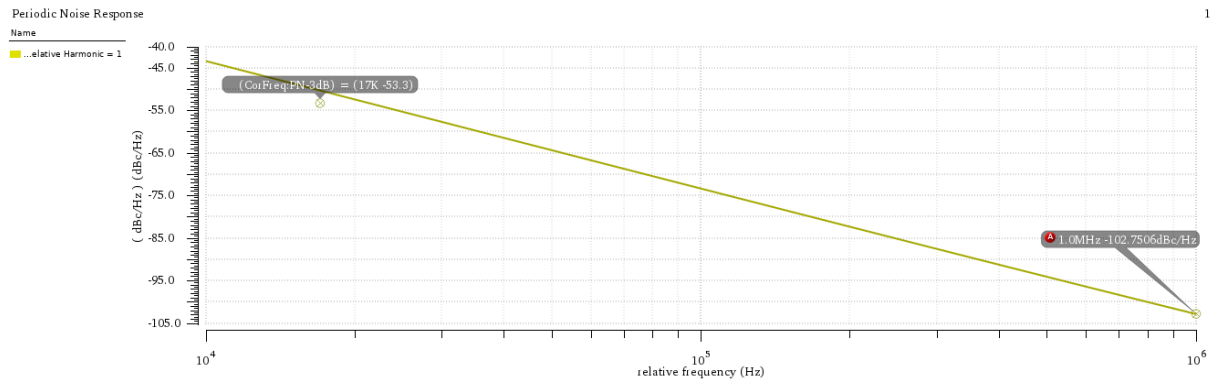
Fonte: Autor 2025

Figura 46 – Gráfico da simulação PSS da Topologia 2 em 27°C para VDDV 1V



Fonte: Autor 2025

Figura 47 – Ruído de fase da Topologia 2 em 27°C para o VDDV 1V



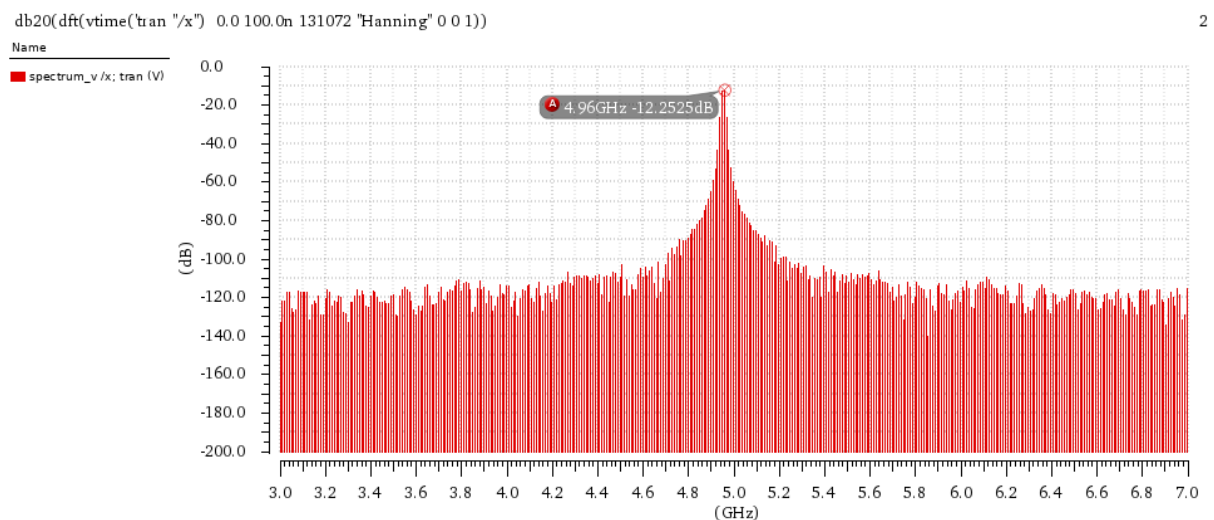
Fonte: Autor 2025

4.2.1 Topologia 2 Simulações em Temperatura 4K

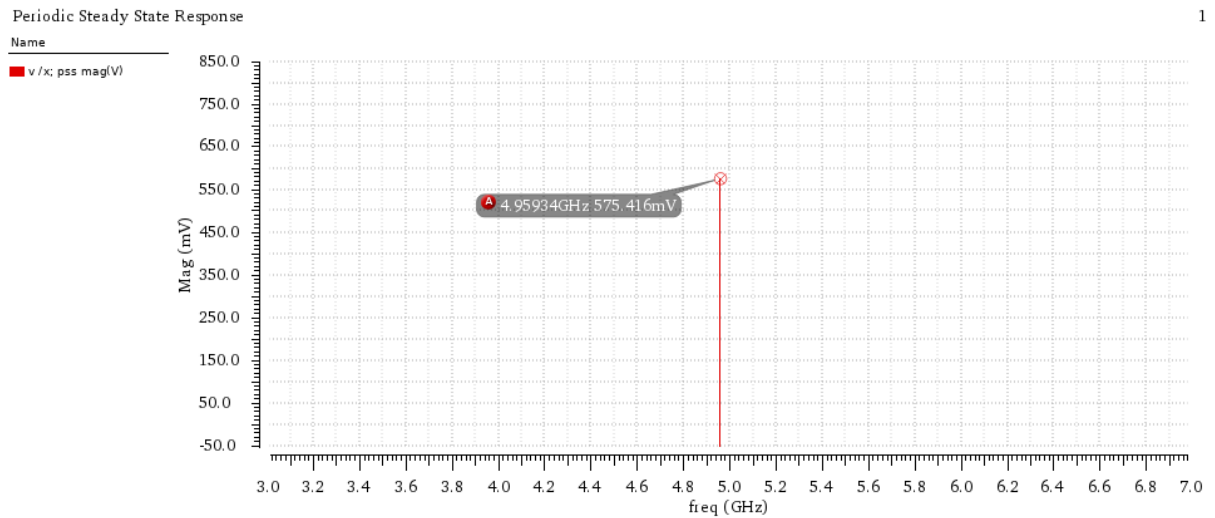
Conforme as simulações da Topologia 1, serão feitas as simulações em temperaturas criogênicas e analisar os resultados para o projeto de Topologia 2.

Para VDDV 0V em temperaturas criogênicas temos as figuras a seguir, na Figura 48 vemos uma frequência bem próxima de 5GHz, não houve uma redução maior do que a do Topologia 1, assim como a tensão de saída visto na Figura 49 não houve uma alteração drástica, agora na Figura 50 temos uma diminuição bem visível do ruído de fase em comparação à temperatura ambiente, mostrando um melhor comportamento em temperaturas criogênicas.

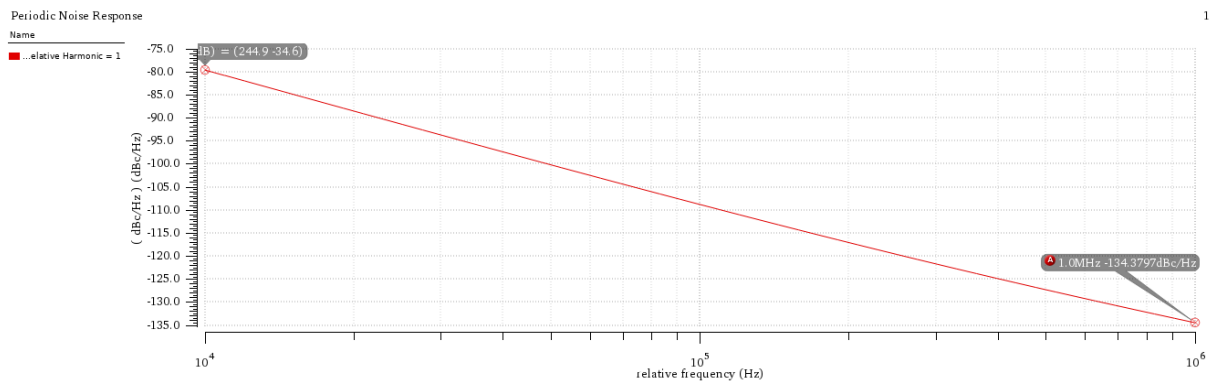
Figura 48 – Espectro da frequência da Topologia 2 em -269,15°C para o VDDV 0V



Fonte: Autor 2025

Figura 49 – Gráfico da simulação PSS da Topologia 2 em $-269,15^{\circ}\text{C}$ para VDDV 0V

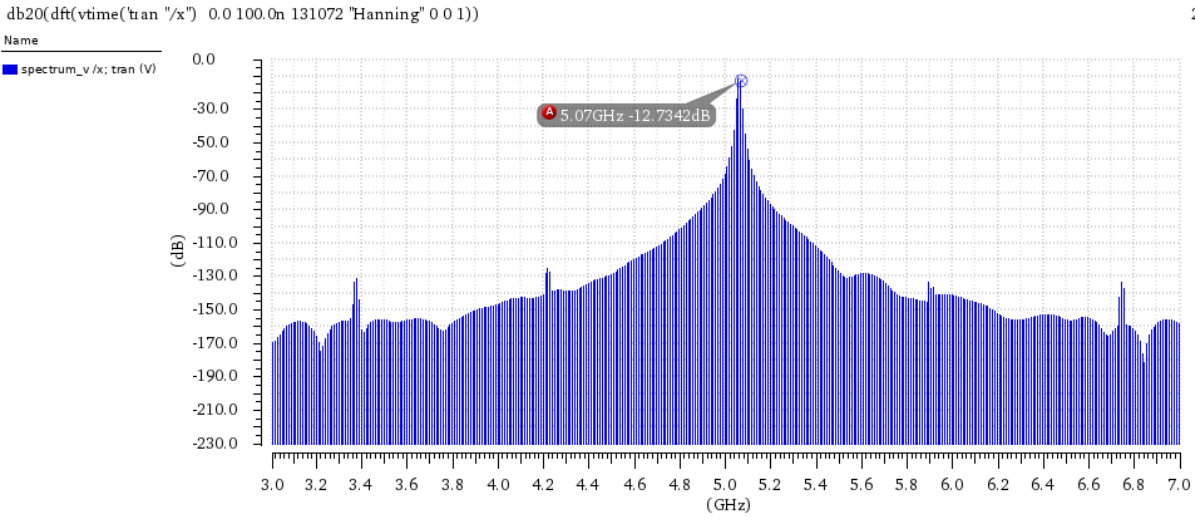
Fonte: Autor 2025

Figura 50 – Ruído de fase da Topologia 2 em $-269,15^{\circ}\text{C}$ para o VDDV 0V

Fonte: Autor 2025

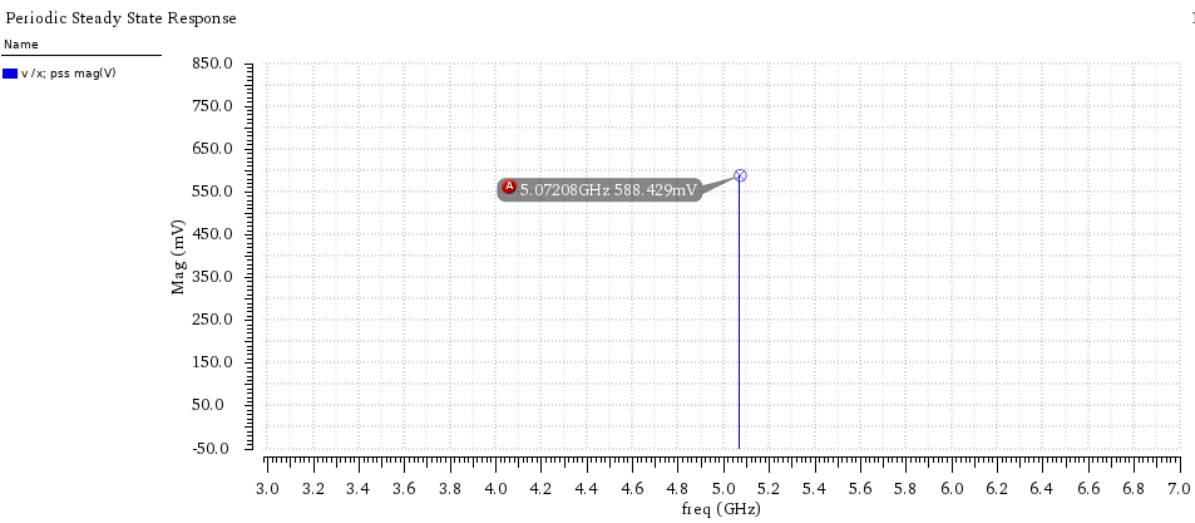
As simulações intermediárias de VDDV 0,5V, a Figura 51 mostra um aumento na frequência como já esperado chegando em 5,06GHz e vemos a característica observada na temperatura ambiente e agora em temperatura criogênica do aumento do ruído de fase para tensões maiores de VDDV, porém com um valor de ruído menor do que o apresentando na temperatura ambiente como visto na Figura 53

Figura 51 – Espectro da frequência da Topologia 2 em -269,15°C para o VDDV 0,5V



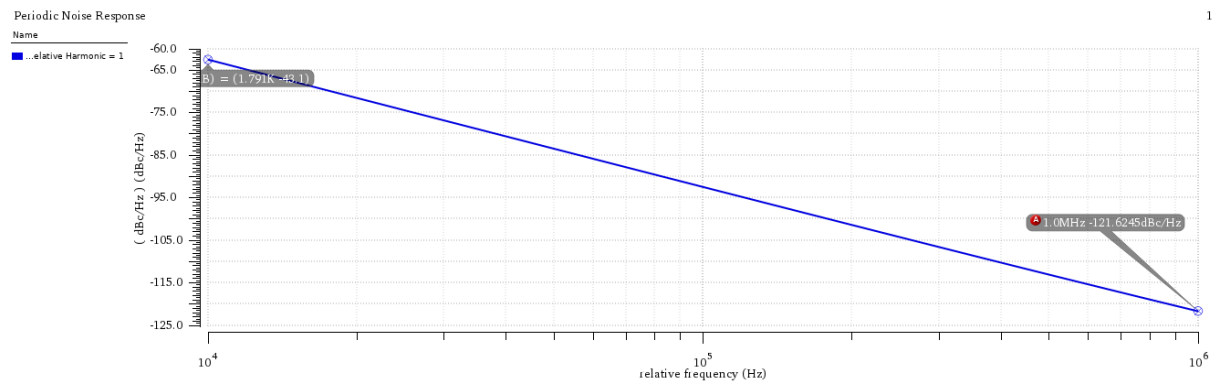
Fonte: Autor 2025

Figura 52 – Gráfico da simulação PSS da Topologia 2 em -269,15°C para VDDV 1V



Fonte: Autor 2025

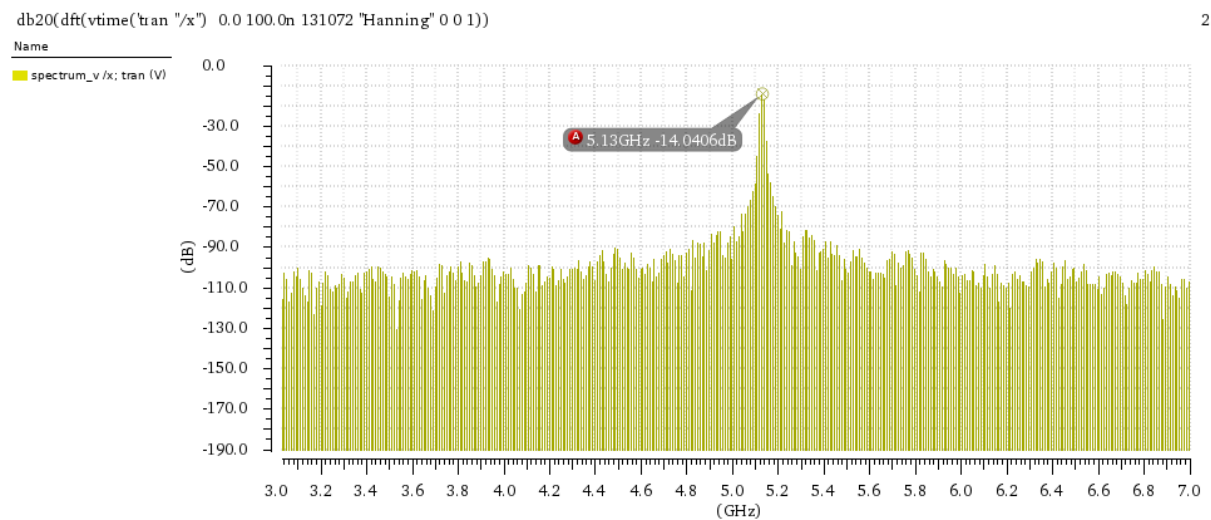
Figura 53 – Ruído de fase da Topologia 2 em -269,15°C para o VDDV 0,5V



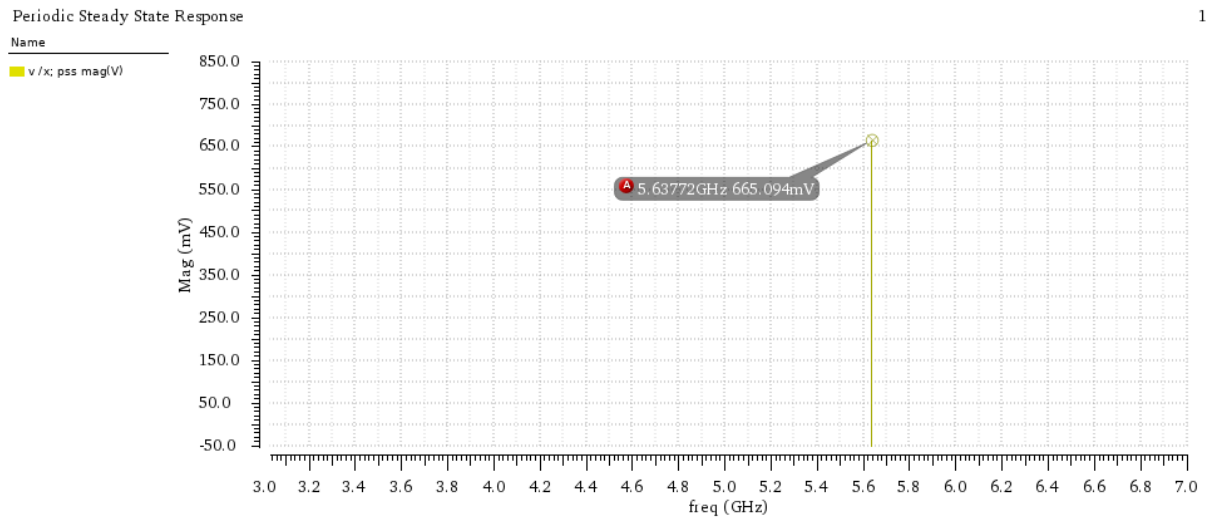
Fonte: Autor 2025

Para as simulações de VDDV 1V, vemos então uma redução no ajuste da frequência de anteriormente 700MHz para 600MHz como é visto na frequência máxima de 54 e uma tensão de saída um pouco maior de 665,0946mV na Figura 55 e um leve aumento no ruído de fase que pode ser visto na Figura 56

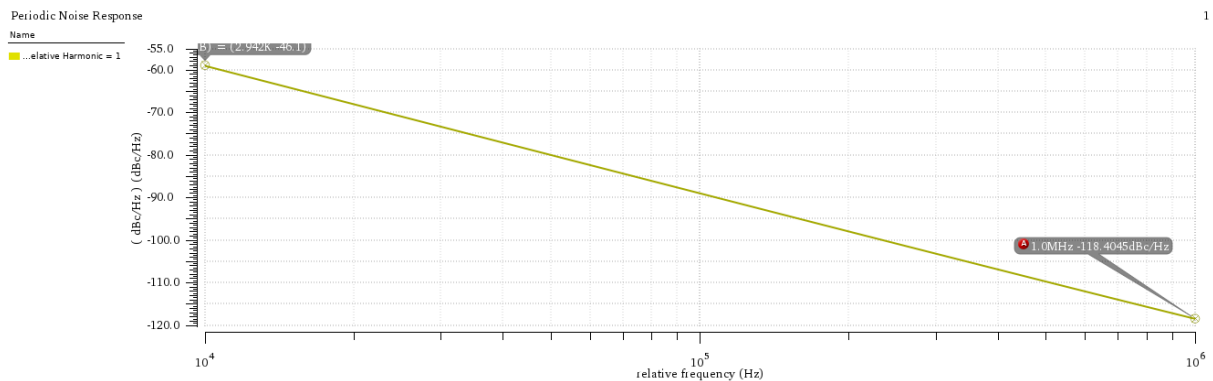
Figura 54 – Espectro da frequência da Topologia 2 em -269,15°C para o VDDV 1V



Fonte: Autor 2025

Figura 55 – Gráfico da simulação PSS da Topologia 2 em $-269,15^{\circ}\text{C}$ para VDDV 1V

Fonte: Autor 2025

Figura 56 – Ruído de fase do Modelo 2 em $-269,15^{\circ}\text{C}$ para o VDDV 1V

Fonte: Autor 2025

4.2.2 Análise dos Modelos 1 e 2

A Tabela 4 sintetiza os dados obtidos para ambas as topologias nas duas condições térmicas avaliadas, permitindo identificar pontos críticos de desempenho. Na Topologia 1, observa-se uma estabilidade superior no ruído de fase, apresentando o melhor desempenho sob VDDV de 1 V em temperatura ambiente. Embora os valores de ruído estejam em conformidade com os padrões da literatura, esta configuração demonstrou uma capacidade limitada de ajuste de frequência, com uma faixa de **357,93 MHz** em 300 K, que é reduzida para **250,60 MHz** em regime criogênico.

Em contrapartida, a Topologia 2 apresentou níveis de ruído mais elevados, atingindo o pico de $-102,75 \text{ dBc/Hz}$ (VDDV de 1 V em 27°C), valor considerado alto quando comparado a referências de estado da arte. No entanto, a Topologia 2 destacou-se pela amplitude de sua

faixa de sintonia, alcançando **655,15 MHz** em temperatura ambiente e expandindo para **678,38 MHz** em ambiente criogênico, demonstrando baixa sensibilidade térmica quanto à capacidade de ajuste.

É importante ressaltar que, sob condições criogênicas, a Topologia 2 apresentou um ruído de fase mínimo de -118,40 dBc/Hz. Dado que a aplicação final do sistema de leitura quântica exige operação estritamente em 4 K, a melhora do desempenho em baixas temperaturas torna os resultados da Topologia 2 competitivos, especialmente considerando a vantagem de sua ampla faixa de operação e redução de área de silício.

Tabela 4 – Resumo dos dados obtidos dos Topologia 1 e 2

Topologia	PN (dBc/Hz)	VDDV(V)	ω_0 (GHz)	Temp (°C)
1	-120,51	0	4,94	27
1	-120,93	0,5	5,03	27
1	-120,00	1	5,30	27
1	-136,65	0	4,87	-269,15
1	-137,16	0,5	4,90	-269,15
1	-130,81	1	5,15	-269,15
2	-115,64	0	5,07	27
2	-107,47	0,5	5,24	27
2	-102,75	1	5,72	27
2	-134,38	0	4,96	-269,15
2	-121,62	0,5	5,19	-269,15
2	-118,40	1	5,64	-269,15

Fonte: Autor 2025

A Tabela 4 mostra um resumo de todos os resultados obtidos das simulações e a Tabela 5 mostra um comparativo com os outros trabalhos em relação aos modelos 1 e 2 apresentados, onde Ref 1 é (HOSSAIN; GENG; SHRESTHA, 2019) e Ref 2 (SALIMATH, 2006)

Tabela 5 – Comparação de resultados com outros trabalhos

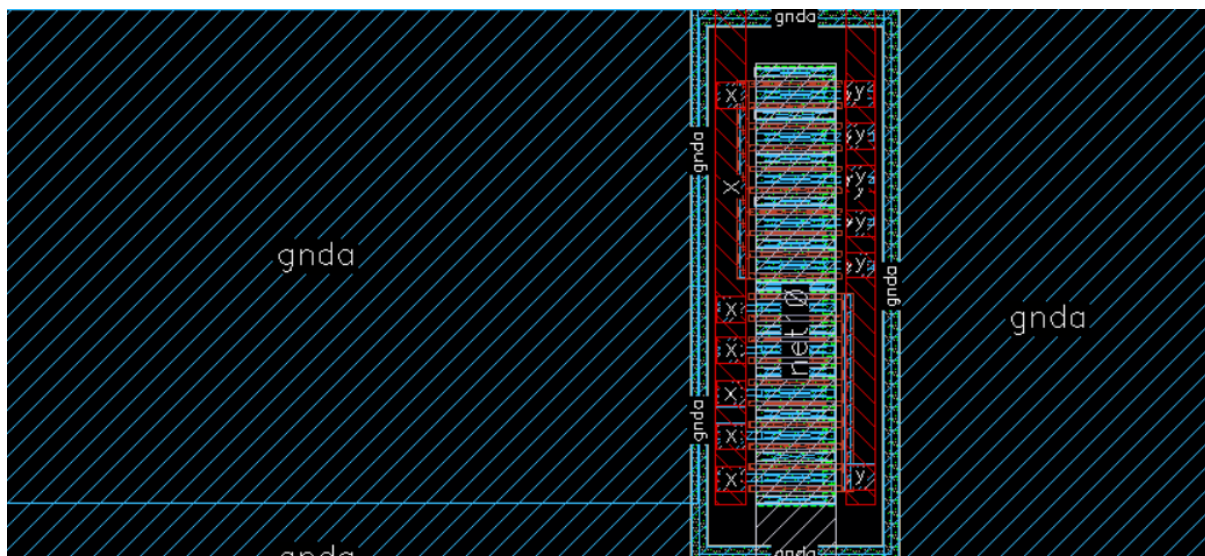
Topologia	PN(dBc/Hz)	ω_0 (GHz)	Temp(K)	P(mW)	Tec	Dados
1	-137,1578	4,87-5,14	4	1	130nm	Pré-layout
2	-134,3797	4,96-5,64	4	1.5	130nm	Pré-layout
Ref 1	-115	5-6,5	4	108	40nm	Pós-Layout
Ref 2	-112,7	2,34-2,59	300,15	-	65nm	Pós-layout

Fonte: Autor 2025

4.3 Perspectivas Futuras

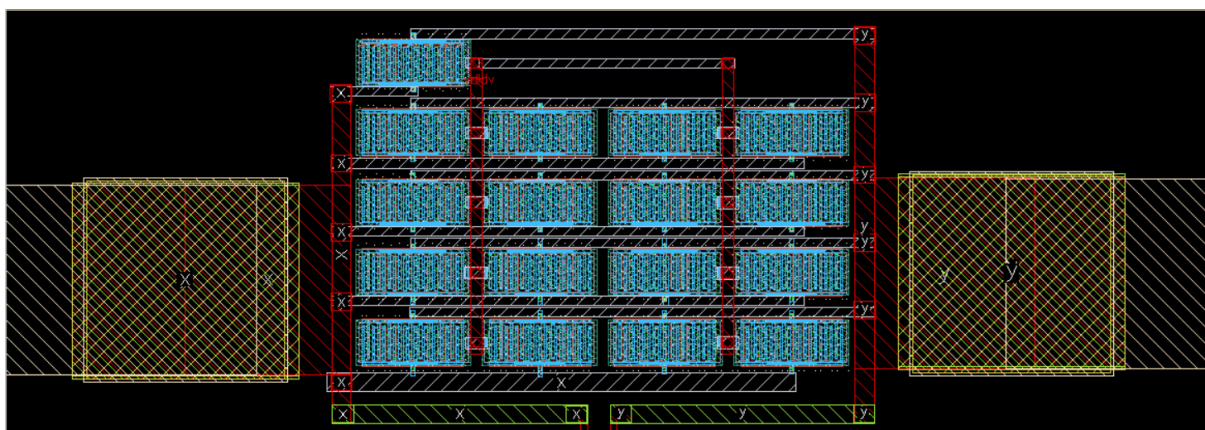
Para completar o fluxo de projeto analógico e viabilizar a fabricação, procedeu-se à elaboração do layout, que consiste nas interconexões físicas do circuito implementadas através de camadas metálicas, conforme ilustrado nas Figuras 57, 58, 59 e 60.

Figura 58 – Layout da parte do acoplamento cruzado dos transistores NMOS do Modelo 1



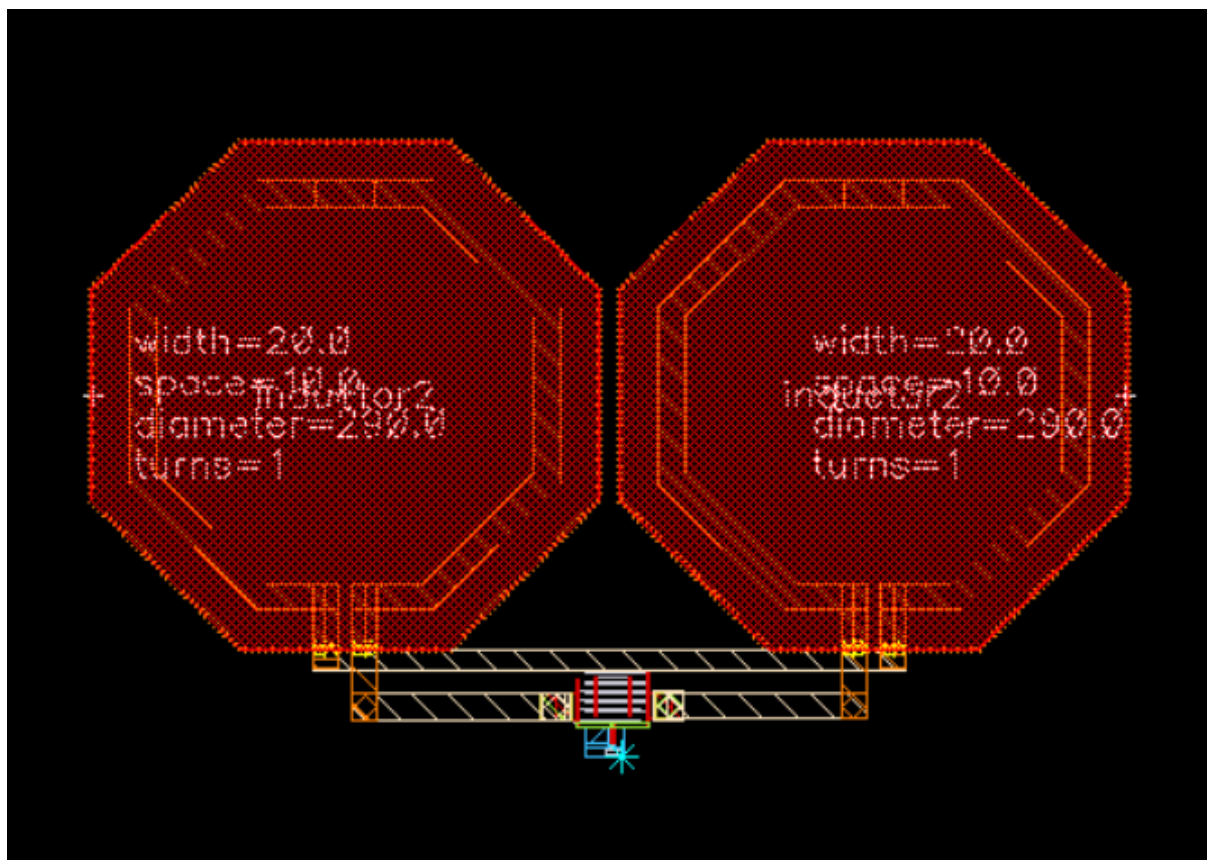
Fonte: Autor 2025

Figura 59 – Layout do stack de 17 varicaps do Modelo 1



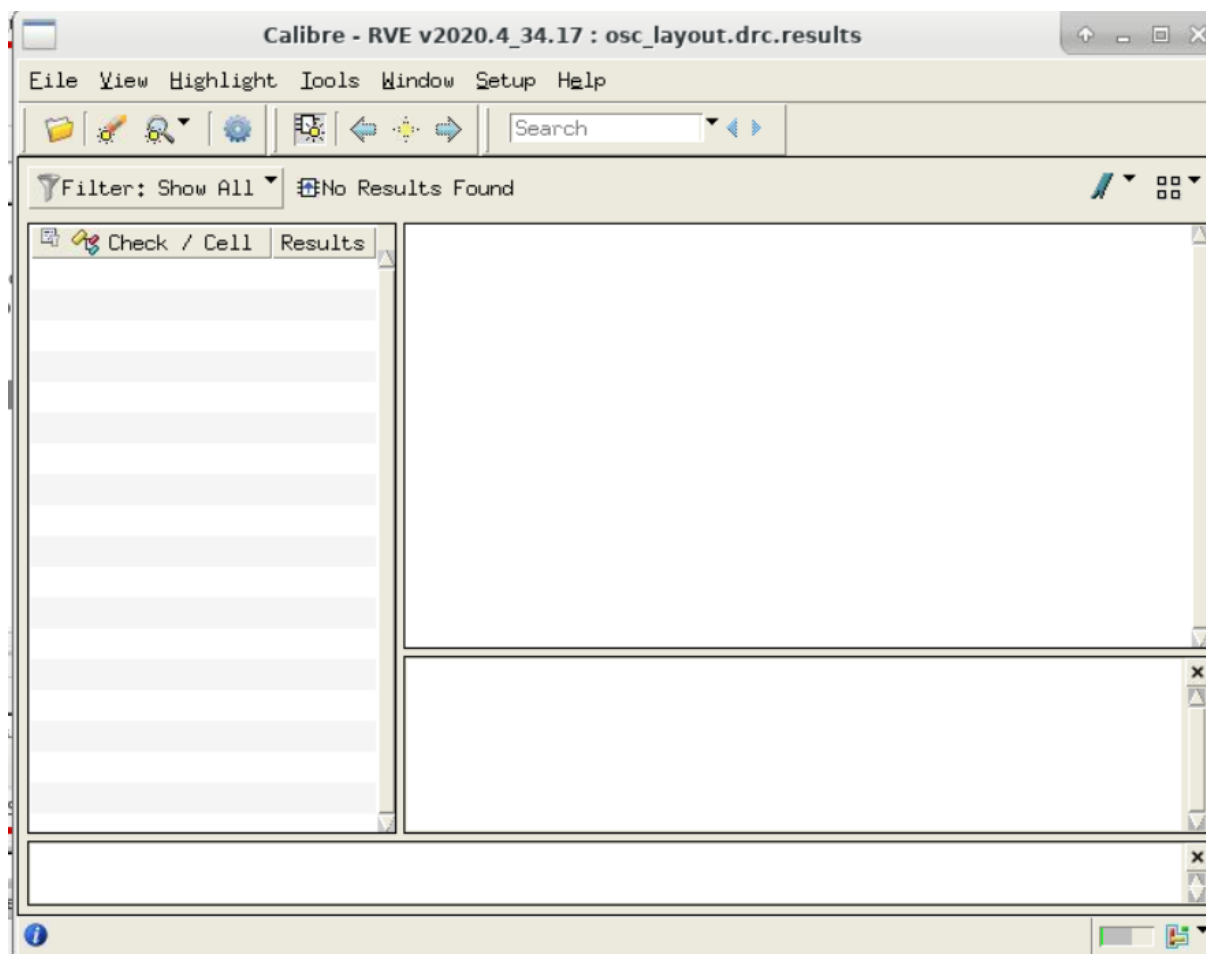
Fonte: Autor 2025

Figura 60 – Layout do completo do Modelo 1



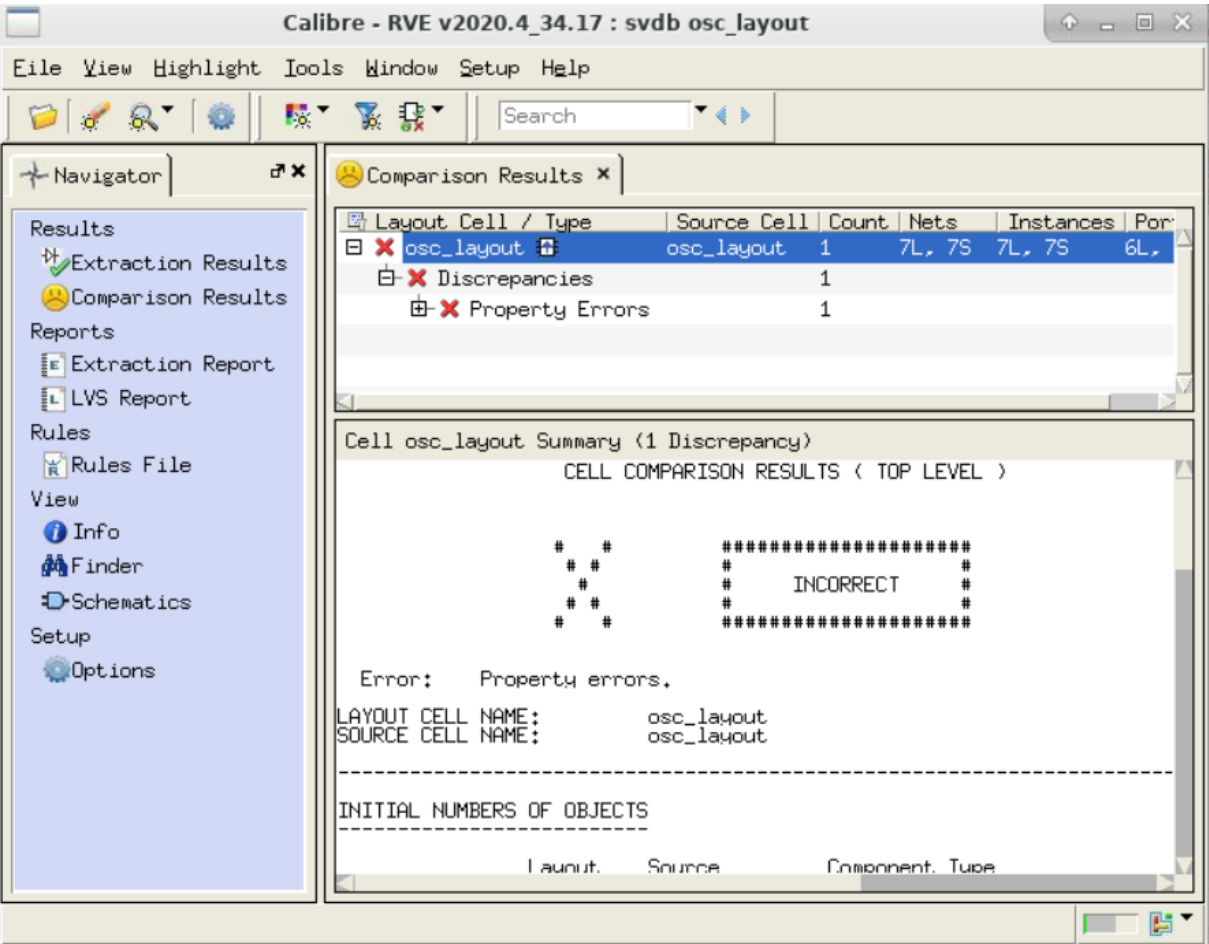
Fonte: Autor 2025

Figura 61 – Verificação de DRC limpa utilizando a EDA Virtuoso da Cadence



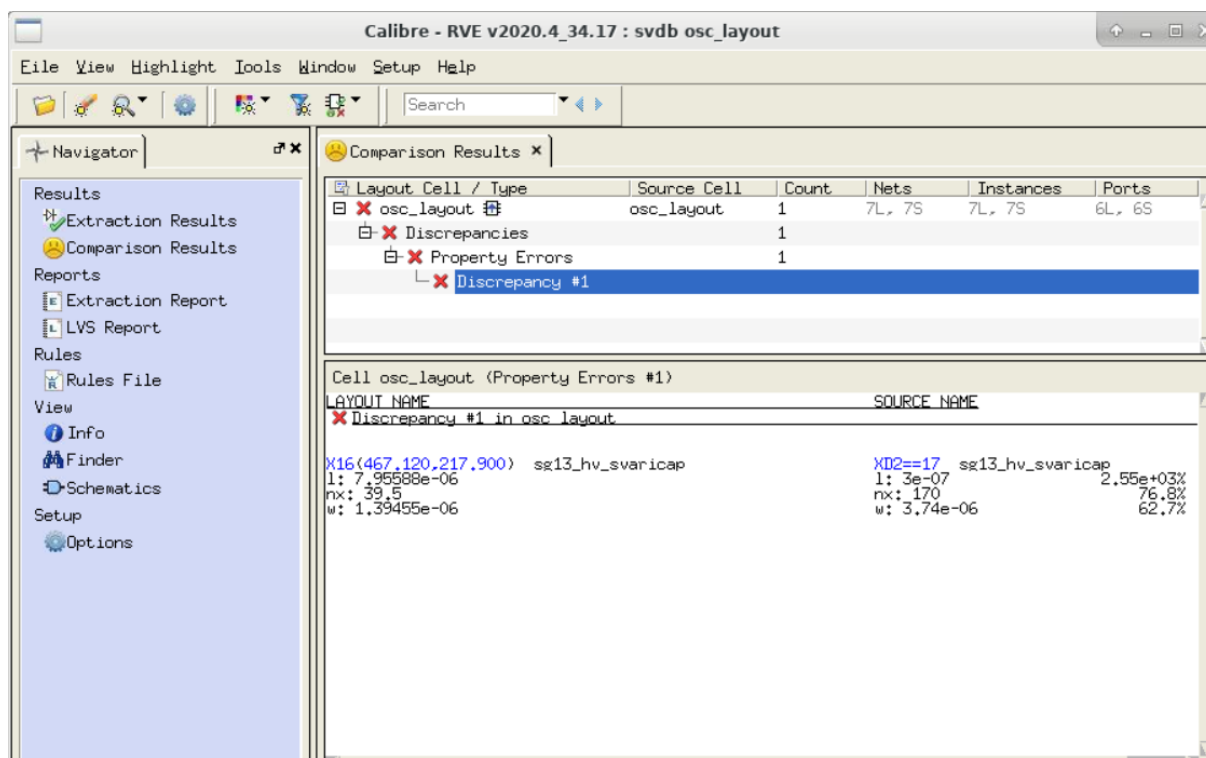
Fonte: Autor 2025

Figura 62 – Verificação de LVS utilizando a EDA Virtuoso da Cadence



Fonte: Autor 2025

Figura 63 – Verificação de LVS utilizando a EDA Virtuoso da Cadence



Fonte: Autor 2025

Figura 64 – Extração das capacitâncias e resistências parasitas (PEX) do layout pelo software Virtuoso da Cadence



Fonte: Autor 2025

5 CONCLUSÕES

Portanto, conforme demonstrado ao longo deste trabalho, foram implementadas e validadas duas topologias de Oscilador Controlado por Tensão (VCO): uma baseada em um par diferencial NMOS de acoplamento cruzado e outra utilizando uma arquitetura complementar (NMOS e PMOS). O fluxo de projeto analógico foi integralmente percorrido, e a funcionalidade de ambas as topologias foi comprovada por meio de simulações de PSS e ruído de fase, tanto em temperatura ambiente quanto em regime criogênico.

Ambas as topologias apresentaram desempenho estável em baixas temperaturas, cumprindo o objetivo central da pesquisa. Contudo, conforme discutido, embora a Topologia 1 tenha apresentado o menor valor de ruído de fase para uma tensão VDDV intermediária (0,5 V), ela manifestou uma limitação na faixa de sintonia, restrita a 250,6 MHz sob condições criogênicas. Em contrapartida, a Topologia 2, apesar de operar com uma tensão de alimentação de 1,5 V (0,5 V superior à Topologia 1), demonstrou maior adequação ao propósito do projeto. Esta arquitetura apresentou baixo ruído de fase em 4 K e uma faixa de frequência significativamente superior, atingindo 678,38 MHz e alcançando a frequência de 4,96 GHz já com VDDV em 0 V. Essa amplitude na faixa de sintonia confere maior segurança e robustez ao projeto, pois garante que, mesmo diante das capacitâncias e resistências parasitas inerentes ao layout e às etapas de pós-layout, a frequência de operação de 5 GHz possa ser alcançada e selecionada com precisão.

REFERÊNCIAS

- BOYLESTAD, R. L.; NASHELSKY, L. **Dispositivos eletrônicos e teoria de circuitos**. 8. ed. São Paulo: Pearson Prentice Hall, 2004. Citado 5 vezes nas páginas 17, 18, 19, 20 e 21.
- CHARBON, E. *et al.* Cryogenic cmos circuits and systems: Challenges and opportunities in designing the electronic interface for quantum processors. **IEEE Microwave Magazine**, v. 22, n. 1, p. 60–78, 2021. Citado na página 17.
- HERMAN, K. *et al.* On the versatility of the ihp bicmos open source and manufacturable pdk: A step towards the future where anybody can design and build a chip. **IEEE Solid-State Circuits Magazine**, v. 16, n. 2, p. 30–38, 2024. Citado na página 30.
- HOSSAIN, M. S.; GENG, Z.; SHRESTHA, R. LC-VCO design with switched varactor array for L-Band in 65 nm CMOS technology. **Journal of Communications**, v. 14, n. 12, p. 1171–1176, December 2019. Discute técnicas de sintonia e o uso de arrays de varactores em tecnologias CMOS avançadas. Citado na página 60.
- IHP PDK Authors. **IHP 130nm BiCMOS Open Source PDK Documentation**. Frankfurt (Oder), Germany, 2025. Accessed: 2025-11-21. Disponível em: <<https://ihp-open-pdk-docs.readthedocs.io/en/latest/>>. Citado 4 vezes nas páginas 34, 35, 45 e 61.
- JOSHI, R. *et al.* Cryogenic cmos: design considerations for future quantum computing systems. In: **2023 IEEE Custom Integrated Circuits Conference (CICC)**. [S.l.: s.n.], 2023. p. 1–8. Citado 3 vezes nas páginas 15, 17 e 21.
- LEE, S.-H. *et al.* A low-voltage 2.4ghz vco with 3d helical inductors. In: **APCCAS 2006 - 2006 IEEE Asia Pacific Conference on Circuits and Systems**. [S.l.: s.n.], 2006. p. 518–521. Citado 2 vezes nas páginas 25 e 33.
- MAHDAVIAN, M. *et al.* Analysis and simulation of pid-pss design for power system stability improvement. In: **2016 13th International Conference on Electrical Engineering/Electronics, Computer, Telecommunications and Information Technology (ECTI-CON)**. [S.l.: s.n.], 2016. p. 1–6. Citado na página 31.
- PATRA, B. *et al.* Cryo-cmos circuits and systems for quantum computing applications. **IEEE Journal of Solid-State Circuits**, v. 53, n. 1, p. 309–321, 2018. Citado 2 vezes nas páginas 15 e 21.
- PELLERANO, S. *et al.* Cryogenic cmos for qubit control and readout. In: **2022 IEEE Custom Integrated Circuits Conference (CICC)**. [S.l.: s.n.], 2022. p. 01–08. Citado 2 vezes nas páginas 15 e 44.
- RAZAVI, B. **RF Microelectronics**. 2. ed. Upper Saddle River, NJ: Prentice Hall, 2012. Citado 11 vezes nas páginas 22, 23, 24, 25, 26, 27, 28, 29, 30, 33 e 34.
- SALIMATH, C. S. **Design of CMOS LC voltage controlled oscillators**. Dissertação (Mestrado) — Louisiana State University, 2006. LSU Master's Theses. 2365. Citado 5 vezes nas páginas 19, 25, 27, 33 e 60.

VANDERSYPEN, L.; LEEUWENHOEK, A. van. 1.4 quantum computing - the next challenge in circuit and system design. In: **2017 IEEE International Solid-State Circuits Conference (ISSCC)**. [S.l.: s.n.], 2017. p. 24–29. Citado 2 vezes nas páginas 15 e 17.