



UNIVERSIDADE FEDERAL RURAL DO SEMIÁRIDO
PRÓ-REITORIA DE GRADUAÇÃO
DEPARTAMENTO DE ENGENHARIA ELÉTRICA
BACHARELADO EM CIÊNCIA E TECNOLOGIA

LORENA GABRIELA DE GÓIS LIRA

AQUISIÇÃO DE IMAGENS EM TERAHERTZ

CARAÚBAS – RN

2016

LORENA GABRIELA DE GÓIS LIRA

AQUISIÇÃO DE IMAGENS EM TERAHERTZ

Trabalho de conclusão de curso apresentado à
Universidade Federal Rural do Semi-Árido –
UFERSA, Departamento de Ciências Exatas e
Naturais, como requisito para obtenção do
título de Bacharel em Ciência e Tecnologia.

Orientador: Prof. Dr. Francisco de Assis Brito
Filho – UFERSA.

CARAÚBAS – RN

2016

© Todos os direitos estão reservados a Universidade Federal Rural do Semi-Árido. O conteúdo desta obra é de inteira responsabilidade do (a) autor (a), sendo o mesmo, passível de sanções administrativas ou penais, caso sejam infringidas as leis que regulamentam a Propriedade Intelectual, respectivamente, Patentes: Lei nº 9.279/1996 e Direitos Autorais: Lei nº 9.610/1998. O conteúdo desta obra tomar-se-á de domínio público após a data de defesa e homologação da sua respectiva ata. A mesma poderá servir de base literária para novas pesquisas, desde que a obra e seu (a) respectivo (a) autor (a) sejam devidamente citados e mencionados os seus créditos bibliográficos.

L768a Lira, Lorena Gabriela de Góis.
Aquisição de imagens em terahertz / Lorena
Gabriela de Góis Lira. - 2016.
26 f. : il.

Orientador: Dr. Francisco de Assis Brito Filho.
Monografia (graduação) - Universidade Federal
Rural do Semi-árido, Curso de Ciência e
Tecnologia, 2016.

1. Terahertz. 2. Circuito integrado de leitura.
3. Tecnologia CMOS. I. Brito Filho, Dr. Francisco
de Assis , orient. II. Título.

LORENA GABRIELA DE GÓIS LIRA

AQUISIÇÃO DE IMAGENS EM TERAHERTZ

Trabalho de conclusão de curso apresentado à
Universidade Federal Rural do Semi-Árido –
UFERSA, Departamento de Ciências Exatas e
Naturais, como requisito para obtenção do
título de Bacharel em Ciência e Tecnologia.

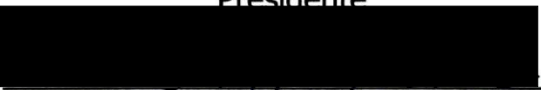
Defendido em 31 / 05 / 2016

BANCA EXAMINADORA

Assinatura dos membros da Banca Examinadora.



M. Sc. José Ailton L. Barboza Júnior
Presidente



Dr. Zenner Silva Pereira
1º Membro



M. Sc. Eliel Poggi dos Santos
2º Membro

Aos meus pais Alcides e Edneuza,
e minhas irmãs Christiane e Ester, por
todo apoio e incentivo.

AGRADECIMENTOS

Agradeço à Deus por ter abençoado meu caminho até aqui.

Aos meus pais, Alcides e Edneuza, pelo cuidado, carinho e incentivo. Por acompanharem de perto os meus sonhos, sempre me apoiando e acreditando em mim. Amo vocês.

As minhas irmãs, Ester e Christiane, pelo apoio e por todas às vezes que vibraram minhas vitórias como se fossem suas.

A toda minha família Góis, que acompanha de perto cada passo dessa jornada, em especial ao meu tio Vanier, com sua alegria de querer me ver brevemente crescendo profissionalmente.

A Mateus, por todas às vezes que precisei e ele fez o possível e o impossível para ajudar, obrigada por tudo. A Dona Rita e Damiana por me acolherem durante esses anos.

A Orianne por se fazer sempre presente. A Ravenna, Gisely, Dávila, e Marissa, pela torcida. Vocês são as melhores, obrigada.

Aos que o ensino médio e a universidade me deram a alegria de conhecer e conviver: Leonardo, Lara, Marianne, Júlia, Felipe, Gaby Alencar e Gaby Bandeira.

Ao docente Ailton Júnior pela disponibilidade, ajuda e apoio.

Ao meu orientador Brito Filho, pela orientação e oportunidade de realizar esse trabalho.

“Nada é tão nosso quanto os nossos sonhos. ”

(Friedrich Nietzsche)

RESUMO

Com o aumento da exploração das frequências em Terahertz, houve a necessidade de desenvolver tecnologias para aplicações que possibilitem o uso desta frequência, que traz como grande vantagem a capacidade de penetrar com facilidade em materiais não condutores e semicondutores. Essa elevada capacidade de penetração possibilita obter uma resolução milimétrica de objetos, o que é ideal para aplicação em áreas médicas e de segurança. Diante deste contexto, o seguinte trabalho traz um estudo sobre o circuito integrado de leitura de imagem, no qual é feita uma abordagem sobre uma tecnologia de fabricação deste circuito, a tecnologia CMOS (metal-óxido-semicondutor complementar).

Palavras-chave: Terahertz. Circuito integrado. CMOS.

LISTA DE ABREVIATURAS E SIGLAS

CI	Circuito Integrado.
CMOS	<i>Complementary Metal-Oxide-Semiconductor</i>
ROIC	Circuito Integrado de Leitura
GHz	GigaHertz
THz	TeraHertz
SiO ₂	Dióxido de Silício
Si	Silício
VLSI	<i>Very Large Scale Integration</i>
NMOS	<i>N Metal-Oxide-Semiconductor</i>
PMOS	<i>P Metal-Oxide-Semiconductor</i>
MOS	<i>Metal-Oxide-Semiconductor</i>
CVD	<i>Chemical Vapor Deposition</i>
Vdd	Tensão Positiva de Alimentação

LISTA DE FIGURAS

Figura 1 – Espectro de frequências.....	11
Figura 2 – Diagrama de blocos de um ROIC.....	14
Figura 3 – Corte transversal em um processo CMOS do tipo <i>n-well</i>	15
Figura 4 – Preparação da cavidade n.....	17
Figura 5 – Criação da região ativa.....	17
Figura 6 – Portas dos transistores.....	18
Figura 7 – Abertura dos contatos.....	19
Figura 8 – Contatos.....	19
Figura 9 – Transistor como chave.....	20
Figura 10 – Transistores NMOS em série.....	21
Figura 11 – Transistores NMOS em paralelo.....	21
Figura 12 – Transistor NMOS em paralelo com um PMOS.....	22
Figura 13 – Circuito CMOS operando como chave.....	23
Figura 14 – Sinais de gatilho de acionamento: a) NMOS e b) PMOS.....	24
Figura 15 – Tensão de saída no momento da amostragem do pixel.....	24

SUMÁRIO

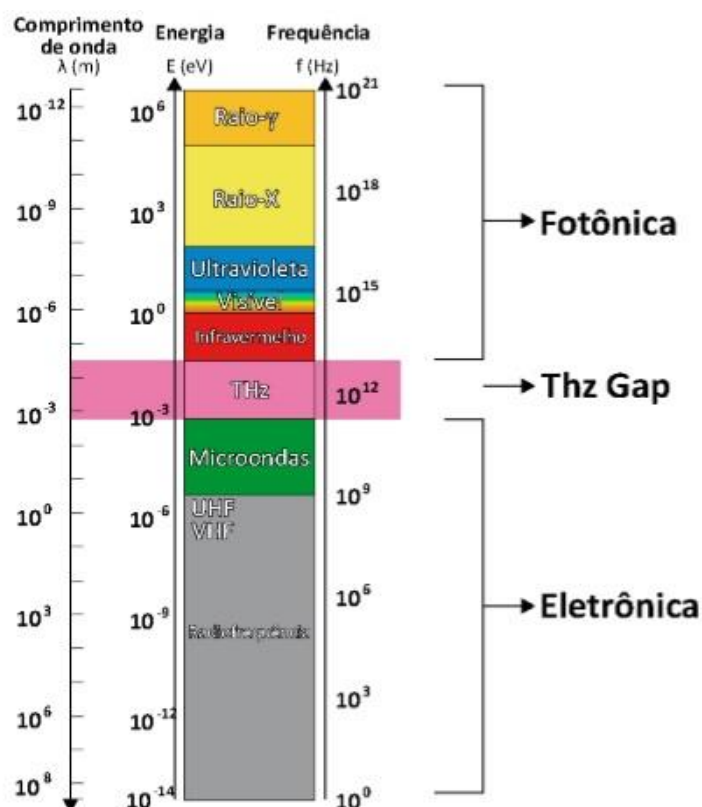
1	INTRODUÇÃO	11
1.1	Justificativa do trabalho.....	12
1.2	Objetivos.....	13
1.2.1	Objetivo Geral.....	13
1.2.2	Objetivo Específico.....	13
1.3	Estrutura do texto.....	13
2	REFERENCIAL TEÓRICO.....	14
2.1	Roic (<i>readout integrated circuit</i>)	14
2.1.1	Estrutura e funcionamento de um ROIC.....	14
2.2	Tecnologia CMOS.....	15
2.2.1	Histórico.....	16
2.2.2	A lâmina de silício.....	16
2.2.3	Criação da cavidade n.....	17
2.2.4	Área ativa.....	17
2.2.5	Portas.....	18
2.2.6	Transistores.....	18
2.2.7	Contatos e vias.....	18
2.2.8	Encapsulamento.....	19
3	PROJETO DO CIRCUITO INTEGRADO.....	20
3.1	Transistor NMOS como chave seletora.....	20
3.2	Consumo em uma porta CMOS.....	22
4	RESULTADOS DE SIMULAÇÃO.....	23
5	CONCLUSÃO E TRABALHOS FUTUROS.....	26
6	REFERÊNCIAS.....	27

1 INTRODUÇÃO

Nos últimos anos, um interesse crescente tem sido dado a tecnologias que utilizam frequências em Terahertz (300 GHz – 3 THz) para aplicações em diagnóstico médico por imagem, análise espectral, segurança, radiocomunicação, aplicações médicas e de inspeção. Os sistemas atuais que utilizam tecnologias fotônicas são complexos e consomem muito espaço, além de pouco acessíveis devido ao seu alto custo. O rápido desenvolvimento de tecnologias baseadas em silício, em especial a tecnologia CMOS (do inglês, *Complementary Metal Oxide Semiconductor*) tem possibilitado o desenvolvimento de aplicações em ondas milimétricas e sub-milimétricas. Com isto, está havendo um aumento do interesse em dispositivos eletrônicos para frequências em Terahertz, que tem potencial para substituir algumas das técnicas tradicionais em dispositivos fotônicos (BRITO FILHO, 2015).

A radiação Terahertz está localizada no espectro de frequências entre as micro-ondas e o infravermelho, onde abrange a faixa de 3×10^{11} Hz a 3×10^{12} Hz. Esse é o ponto onde duas grandes áreas se encontram: a eletrônica e a fotônica. O espectro de frequência pode ser observado na Figura 1.

Figura 1 – Espectro de frequências.



Fonte: BRITO FILHO, 2015.

Por muito tempo, essa parte do espectro ficou necessitada de tecnologias para detectar e gerar ondas eletromagnéticas. Para a eletrônica, era difícil obter circuitos que oscilassem em frequências tão elevadas, a partir da multiplicação de frequências menores, como as de rádio ou micro-ondas. Já para a fotônica, era difícil obter luz com comprimentos de onda tão grandes, a partir de lasers (BRITO FILHO, 2015). Apesar do difícil acesso tecnológico, era perceptível o grande potencial nessa faixa. Ondas Terahertz têm habilidade para penetrar vários materiais, como plásticos, papel, madeira, osso, semicondutores e muitos outros que são visualmente opacos (S. Ariyoshi et al., 2006). Com essa elevada capacidade de penetração, é possível obter uma resolução milimétrica de objetos, o que é ideal para aplicação em áreas médicas e de segurança. Além disso, a possibilidade de se obter uma alta largura de banda para a transmissão e recepção de sinais, torna-a também atrativa para fins de comunicação (BRITO FILHO, 2015).

Diferentes sensores com princípios físicos específicos podem fazer a detecção desses raios T e converter a energia obtida em outro parâmetro para tornar possível a medição/leitura da imagem. No entanto, esses detectores de sinais Terahertz trazem desafios, e um dos principais encontrados é obter uma boa resolução em temperatura ambiente. A presença de ruído pode ter muitas origens, tais como flutuações microscópicas em questão ou variações de condições do sistema (por exemplo, temperatura) (MICHAL, 2009). A utilização da tecnologia CMOS no processo de imageamento minimiza esses problemas, pois essa tecnologia permite a construção de sensores com pixels pequenos, e com um desempenho que garante uma baixa dissipação de potência, resultando em uma menor temperatura, favorecendo a diminuição dos ruídos.

Além de detectores, a tecnologia CMOS tem aplicação em circuitos que operam na frequência Terahertz. O circuito de leitura de imagem é um deles, e este ocupa um papel essencial no sistema de imageamento, servindo de conexão para os sensores e componentes processadores da imagem. Neste trabalho será feita uma revisão bibliográfica sobre o circuito integrado para aquisição de sinais de arranjos de detectores, para utilização em sistemas de imageamento em Terahertz.

1.1 Justificativa do trabalho

Circuitos integrados fabricados em um processo CMOS apresentam vantagem quanto à pequena dissipação de potência, alta integrabilidade e um baixo custo de fabricação, além de

uma boa imunidade a ruídos, característica desejável em aplicações que necessitam de uma boa resolução, como a aquisição de imagens em Terahertz, que é o objeto de estudo desse trabalho.

1.2 Objetivos

Neste tópico serão apresentados os objetivos, geral e específico, associado a este trabalho.

1.2.1 Objetivo Geral

Estudar os circuitos integrados para aquisição de sinais de arranjos de detectores para imageamento em Terahertz, fabricados em tecnologia CMOS.

1.2.2 Objetivo Específico

- Estudar os circuitos integrados utilizados na aquisição de sinais de arranjos de detectores para imageamento em Terahertz e suas aplicações;
- Estudar os circuitos integrados em tecnologia CMOS, de modo a compreender o seu processo de fabricação e projeto;
- Absorção de conhecimentos teóricos para uma boa formação pessoal e profissional na área.

1.3 Estrutura do texto

Neste capítulo foi feita uma introdução sobre a radiação Terahertz e suas aplicações, com tecnologias e dispositivos empregados para essa faixa de frequência, capazes de substituir técnicas tradicionais de imageamento. Também foram apresentados os objetivos deste trabalho.

O capítulo 2 aborda teorias sobre o circuito integrado de leitura, enfatizando sua estrutura e funcionamento, bem como a tecnologia CMOS, empregada para sua fabricação.

O capítulo 3 traz o transistor NMOS funcionando como chave, e suas combinações formando portas lógicas. Além disso, aborda um pouco do consumo de potência em uma configuração CMOS. O capítulo 4 aborda os resultados de simulação do circuito CMOS.

Por fim, o capítulo 5 traz as considerações finais e possíveis trabalhos futuros.

2 REFERENCIAL TEÓRICO

2.1 ROIC (*READOUT INTEGRATED CIRCUIT*)

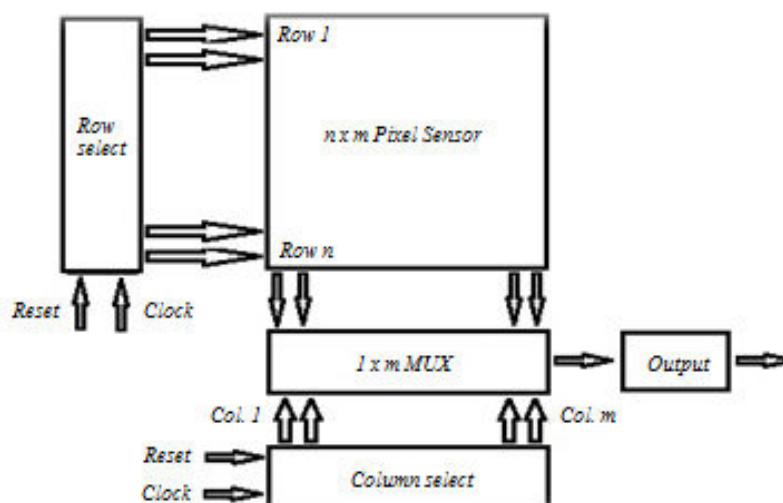
Com o crescente interesse em dispositivos eletrônicos voltados para a faixa de frequências em Terahertz, sistemas de identificação por imagem destacam-se em aplicações de segurança, médicas, industriais, militares. Um sistema de imageamento abrange sensores de pixel, conversores, circuitos amplificadores, e dentre outros, o circuito integrado de leitura, denominado de ROIC (*Readout Integrated Circuit*).

O ROIC é um chip de silício (com circuitos nele integrados) que desempenha um papel crucial nos sistemas de imageamento, pois serve de interface elétrica entre a matriz de elementos sensores e os componentes que processam a imagem. Esse circuito integrado possui diversas aplicações comerciais, especialmente na área da eletrônica, como em câmeras fotográficas digitais e nas presentes nos celulares (KHOSHAKHLAGH, 2010).

2.1.1 Estrutura e funcionamento de um ROIC

Uma matriz de sensores idênticos sensíveis a luz (também conhecidos por células unitárias), formada de n linhas e m colunas define o quadro da imagem detectada. Essa matriz é acoplada ao ROIC com a finalidade de converter uma imagem óptica em sinais elétricos. A Figura 2 mostra um diagrama de blocos de um circuito integrado de leitura convencional.

Figura 2 – Diagrama de blocos de um ROIC.



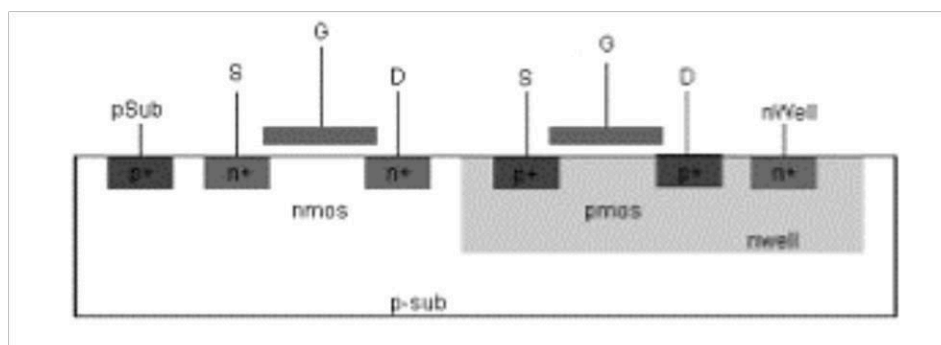
Fonte: Autora.

Cada pixel requer um sensor exclusivo, dando origem a uma matriz de proporção $n \times m$. O CI de leitura faz a seleção pixel por pixel dessa matriz sensorial, controlada pelos sinais de controle, *clock* e *reset*, de forma sequencial e em um tempo ágil. O seletor de linha seleciona a primeira linha e a cada pulso do *clock*, o multiplexador vai selecionando uma coluna por vez, até que seja iniciada a próxima linha (*reset*). Feita a varredura completa, esses pixels são convertidos em sinais elétricos e acumulados no circuito integrado, para posteriormente serem transferidos para leitura/processamento em um sinal de vídeo.

2.2 Tecnologia CMOS

Um circuito integrado consiste de uma rede de componentes eletrônicos interligados, fabricado sobre uma única peça de material semiconductor (REIS, 2002). O processo de fabricação em VLSI (*Very Large Scale Integration*) traz a tecnologia MOS (metal-óxido-semiconductor) como promessa de dominar cada vez mais o cenário atual dos CIs. Essa tecnologia geralmente utiliza o silício (Si), que além de ser um material abundante na natureza e possuir boas características elétricas, pode ser prontamente refinado, oxidado ou purificado (SEDRA, 2007). Os componentes do CI como capacitores, resistores e transistores, são fabricados usando o silício, juntamente com oxigênio, alumínio e outros metais simples. A superfície do silício é submetida a várias etapas de processamento, nas quais estes elementos são depositados e seletivamente removidos, em regiões precisamente delimitadas por máscaras (REIS, 2002). Os processos de fabricação CMOS podem ser dos seguintes tipos: *n-well*, *p-well*, *twin-well* e *triple-well*. O mais utilizado é o *n-well*, com substrato de silício dopado tipo p (BRITO FILHO, 2015). A Figura 3 mostra o corte transversal em um processo do tipo *n-well*.

Figura 3 – Corte transversal em um processo CMOS do tipo *n-well*.



Fonte: BRITO FILHO, 2015.

2.2.1 Histórico

As técnicas de fabricação de dispositivos eletrônicos em materiais semicondutores passaram por fases de evolução. Primeiramente deu-se a maior descoberta na exploração dos semicondutores como dispositivos eletrônicos. Em 1947, cientistas descobriram através do estudo de junções de contatos de metal soldados a uma lâmina pequena de semicondutor, a modulação da condutividade entre dois eletrodos por efeito da ação em um terceiro eletrodo. Esse fenômeno recebeu inicialmente o nome de transresistência, que posteriormente deu origem ao nome dos dispositivos que possuem essa característica: o transistor.

Em 1959, foi proposta a tecnologia planar que favoreceu o aparecimento das primeiras portas lógicas simples em semicondutores, com transistores, resistores e capacitores integrados na lâmina monolítica. Essa tecnologia permitia a integração destes dispositivos em um mesmo substrato semicondutor, isolados entre si.

De 1960 a 1970, desenvolveu-se a tecnologia de deposição de camadas semicondutoras e isolantes, alternadas sobre um substrato de silício. Predominante até hoje, essa tecnologia foi denominada planar MOS (REIS, 2002).

2.2.2 A lâmina de silício

As etapas de fabricação de um circuito integrado pelo processo MOS complementar (CMOS) parte da preparação da lâmina de silício cristalino, utilizando o cristal de quartzo SiO_2 com alto grau de pureza, e um dopante p ou n. Toma forma de um cilindro sólido de 10 a 30 cm de diâmetro, pode ter de 1 a 2 m de comprimento e sua cor é cinza-metálica (SEDRA, 2007). Esse cilindro é cortado em camadas circulares na dimensão de micrometros, onde posteriormente terão uma das faces polida para serem comercializadas.

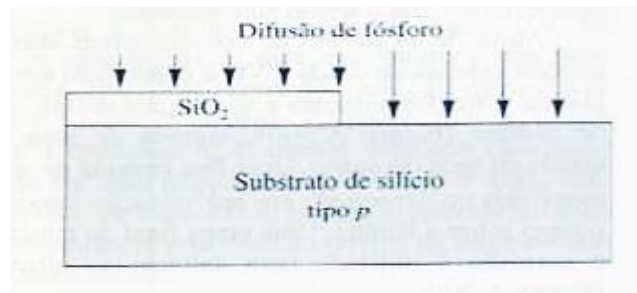
As propriedades da lâmina semicondutora são definidas pela orientação dos planos cristalinos e a quantidade e tipos de impurezas depositadas. A deposição dessas impurezas recebe o nome de dopagem, que pode ser feita por meio de difusão ou implantação de íons. O processo de difusão consiste na injeção de um gás dopante em um forno com temperatura em torno dos 1000 °C, contendo as lâminas de silício. Como há uma diferença de concentração, os átomos dopantes se movem para a região da lâmina, fundindo-se com ela. A implantação de íons faz a introdução das impurezas no silício em uma câmara de vácuo, que forma e seleciona

os íons através de um campo magnético e posteriormente, são acelerados e chocados contra a superfície de silício por um campo elétrico, ficando encravados nela.

2.2.3 Criação da cavidade n

Partindo de um substrato de silício dopado com um material tipo p, o processo começa com a oxidação da lâmina para formar um nível isolante de SiO_2 sob a superfície. Uma camada espessa de dióxido de silício é corroída para expor as regiões nas quais se deseja fazer a difusão da cavidade n (SEDRA, 2007). Como mostra a Figura 4, as partes que continuaram recobertas pelo SiO_2 estão protegidas do elemento dopante, que geralmente é o fósforo.

Figura 4 – Preparação da cavidade n.

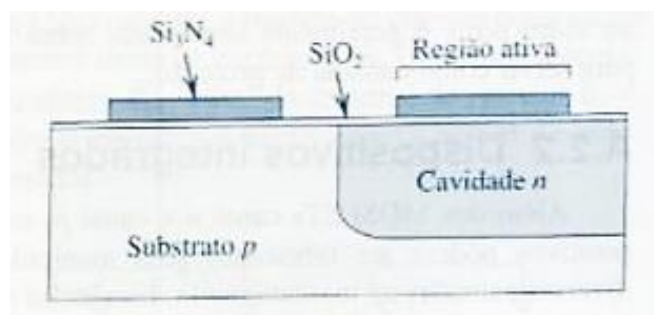


Fonte: SEDRA, 2007.

2.2.4 Área ativa

A Figura 5 mostra o próximo passo e define a área ativa, que é onde os transistores serão construídos. Uma camada de nitreto de silício é depositada, formando áreas que não serão oxidadas. Uma oxidação é feita entre essas áreas dos transistores, aparecendo uma região de óxido espesso que irá isolar os transistores e permitir uma interconexão entre eles.

Figura 5 – Criação da região ativa.

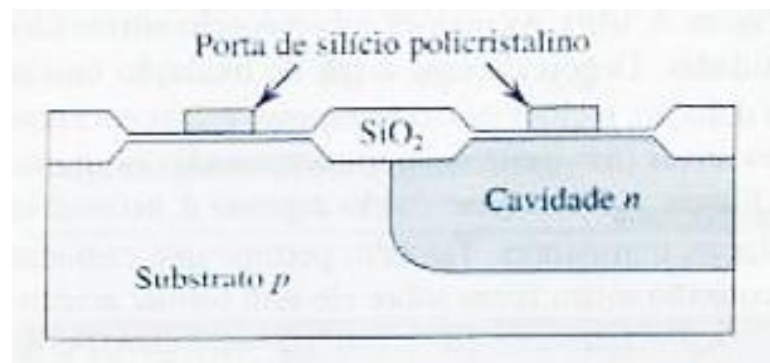


Fonte: SEDRA, 2007.

2.2.5 Portas

Um eletrodo de porta é formado pela deposição de silício policristalino junto com um dopante (para diminuir a resistividade) sob toda a região, sendo posteriormente removido as partes não desejadas, formando as portas dos transistores e algumas conexões como pode ser observado na Figura 6.

Figura 6 – Portas dos transistores.



Fonte: SEDRA, 2007.

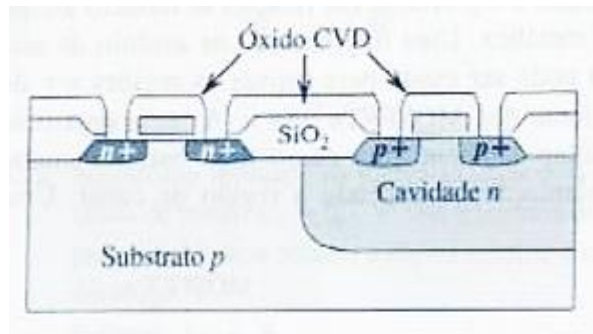
2.2.6 Transistores

Alguns íons tipo p ou n são implantados para formar as regiões de dreno e fonte. Nesta operação, o polisilício da porta serve de máscara para o implante de fonte e dreno, garantindo assim o perfeito alinhamento entre estes três elementos, compondo transistores com alto desempenho e mínima capacitância parasita entre os eletrodos (REIS, 2002). A lâmina é submetida a um processo de recozimento para realinhar os átomos deformados pela implantação iônica.

2.2.7 Contatos e vias

Após composição dos transistores, uma camada de SiO₂ é depositada em toda a superfície da lâmina, onde será impressa a abertura dos contatos onde ficaram a porta, o dreno e a fonte. Estes podem ser observados na Figura 7.

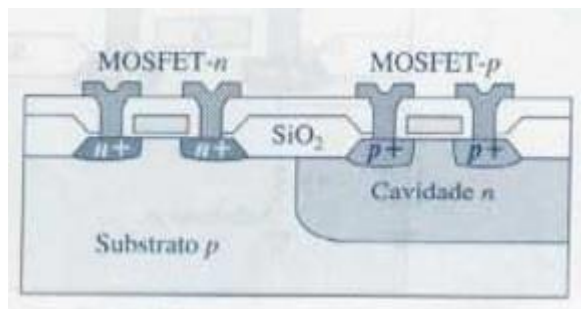
Figura 7 – Abertura dos contatos.



Fonte: SEDRA, 2007.

Em seguida, a lâmina passa por um processo de decomposição química em fase de vapor (CDV) que vai penetrando nas aberturas criadas anteriormente, e o alumínio não desejado é removido. Esse processo é repetido para formar a abertura das vias, e ao final, para evitar a oxidação do segundo metal depositado, é realizado um revestimento com SiO₂ chamado de passivação. Os contatos podem ser observados na Figura 8.

Figura 8 – Contatos.



Fonte: SEDRA, 2007.

2.2.8 Encapsulamento

Sobre a camada de passivação, são impressas aberturas para fazer a soldagem dos fios entre os terminais da capsula e a pastilha. Há inúmeros tipos de encapsulamento que atendem necessidades específicas, mas em geral a capsula é fabricada em material plástico ou cerâmico para reduzir custos.

3 PROJETO DO CIRCUITO INTEGRADO

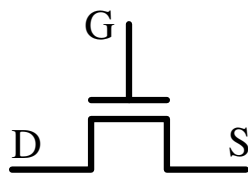
A tecnologia de fabricação CMOS impõe restrições devido ao tamanho da área da pastilha de silício. Resistores e capacitores de tamanho grande e com valores altos devem ser evitados em um projeto de CI, restringindo-se ao uso de apenas transistores MOS e as vezes, capacitores fabricados nessa tecnologia.

Transistores MOS podem ser dimensionados; isto é, seus valores de W e L podem ser selecionados, de modo a se enquadrar em ampla gama de requisitos de projeto. Além disso, malha de transistores podem ser combinadas (ou mais genericamente, feitas para ter as relações de tamanho desejadas) para realizar blocos construtivos de circuitos úteis, tais como espelhos de corrente (SEDRA, 2007).

3.1 Transistor NMOS como chave seletora

Transistores podem ser associados formando estruturas que realizam equações lógicas. Um transistor NMOS controlado por uma tensão pode ser visto como uma chave: quando um sinal V_{gs} (maior que a tensão limiar) correspondente ao nível lógico 1 é aplicado na porta, uma corrente flui do dreno para fonte. A resistência entre os terminais devido essa tensão aplicada é tão baixa que o transistor passa a ser visto como uma chave fechada. Quando a tensão da porta for zero ou menor que a tensão limiar, o transistor estará funcionando como uma chave aberta. A Figura 9 mostra o símbolo do transistor NMOS.

Figura 9 – Transistor NMOS

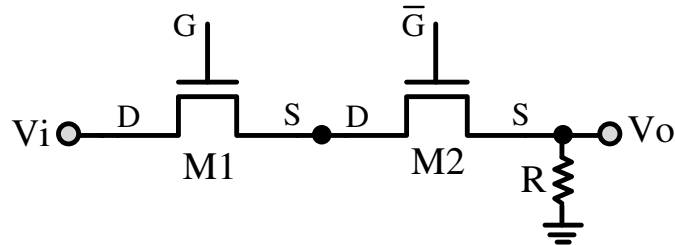


Fonte: Autora.

Dois transistores NMOS podem ser associados para operarem como funções lógicas. A associação em série mostrada na Figura 10 opera como a função lógica AND. Os sinais de entrada G e $\bar{G}$ controlam os transistores: quando ambos forem zero ou apenas um dos dois for zero, a fonte S não receberá o valor do Dreno D , correspondendo a uma chave aberta. A chave

se fechará apenas quando os sinais de entrada em G e $\bar{G}$ forem correspondentes ao nível lógico 1.

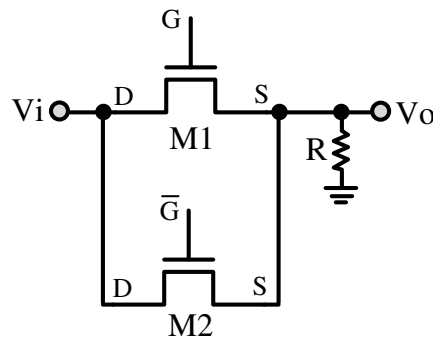
Figura 10 – Transistores NMOS em série.



Fonte: Autora.

Na Figura 11, a associação em paralelo dos transistores NMOS tem o funcionamento da porta lógica OR, ou seja, quando o sinal em G ou o sinal em $\bar{G}$ for igual ao nível lógico 1, S receberá o valor de D e ocorrerá o fechamento da chave. Somente quando G e $\bar{G}$ forem zero, a chave estará aberta.

Figura 11 – Transistores NMOS em paralelo.

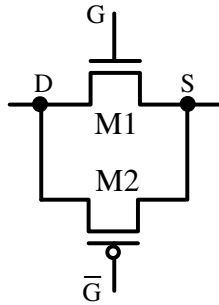


Fonte: Autora.

Em analogia, um PMOS apresenta as funções lógicas anteriormente citadas, porém em uma situação lógica invertida. Assim pode-se combinar paralelamente o transistor NMOS com o transistor PMOS a fim de obter uma lógica com chave CMOS. Essa combinação é uma proposta para a fabricação de um circuito integrado de leitura de imagens, funcionando como uma chave seletora que selecionará um pixel por vez da matriz de sensores. A chave estará fechada quando um sinal correspondente ao nível lógico 1 estiver na porta G do transistor NMOS, e um sinal zero estiver na porta $\bar{G}$ do transistor PMOS. A conexão do transistor NMOS

com um PMOS, forma um circuito que pode ser utilizado para a aquisição de dado e o mesmo pode ser observado na Figura 12.

Figura 12 – Transistor NMOS em paralelo com um PMOS.



Fonte: Autora.

3.2 Consumo em uma porta CMOS

O consumo de potência em uma configuração CMOS se dá devido as transições ocorrentes em sua saída e este consumo é dividido em duas componentes: potência dissipada devido a corrente de curto-circuito e a potência devido a corrente da descarga da capacitância.

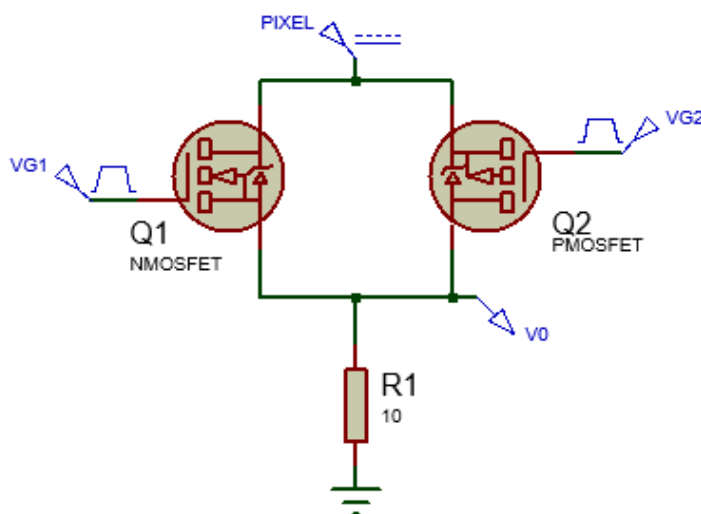
A potência de curto-circuito é proporcional a V_{dd} enquanto a potência dinâmica é proporcional ao quadrado de V_{dd} . Portanto, uma forma de reduzir o consumo é através da diminuição da tensão de alimentação (REIS, 2002). Há também um consumo devido a correntes de fuga, denominado consumo estático. Esse consumo é mínimo comparado ao consumo das transições.

4 RESULTADOS DE SIMULAÇÃO

Foram realizadas simulações utilizando o *software Proteus®*, onde foi simulado um circuito para aquisição de imagens utilizando dois transistores, um NMOS e um PMOS, funcionando como chave. Para efeitos de simulação, o sensor do pixel foi simulado utilizando uma fonte de tensão contínua.

A Figura 13 mostra o circuito com os transistores associados em paralelo, a fonte de tensão que emula o sensor de pixel, um resistor de $10\ \Omega$ que garante uma saída em tensão em V_0 . O valor de R_1 foi escolhido baixo para que a constante de tempo entre as capacitâncias dos transistores e a resistência de saída, proporcionassem uma resposta rápida. Os sinais de gatilho foram simulados utilizando uma fonte de tensão pulsante, tempo de disparo de $2\ \mu\text{s}$ e tempo ligado de $1\ \mu\text{s}$. Assim, $1\ \mu\text{s}$ seria o equivalente ao tempo de amostragem do pixel. Vale ressaltar que devido aos transistores serem complementares, seus sinais de acionamento de *gate* também deverão ser complementares.

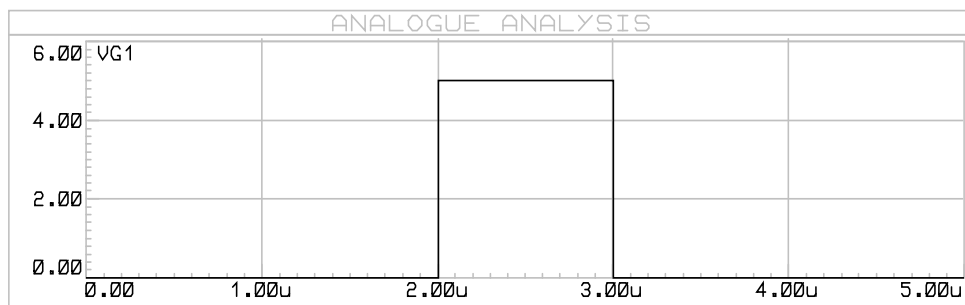
Figura 13 – Circuito CMOS operando como chave.



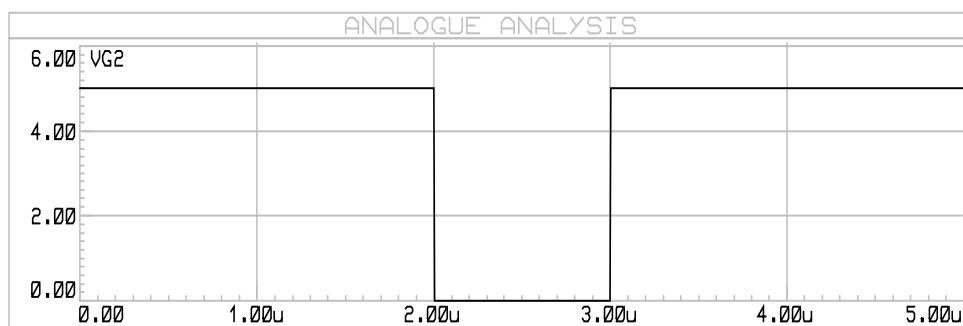
Fonte: Autora.

Os transistores estão polarizados de forma a operarem no corte e na saturação. V_{G1} e V_{G2} acionam os MOS, fazendo com que os mesmos conduzam ou não. Com os dois MOS conduzindo temos o sinal do pixel sendo enviado para a saída. A Figura 14 a) mostra o sinal de gatilho do transistor NMOS e pode ser observado que o mesmo utiliza lógica positiva. Já a Figura 14 b), mostra o sinal de gatilho enviado ao transistor PMOS complementar ao *gate* do NMOS.

Figura 14 – Sinais de gatilho de acionamento: a) NMOS e b) PMOS.



a)

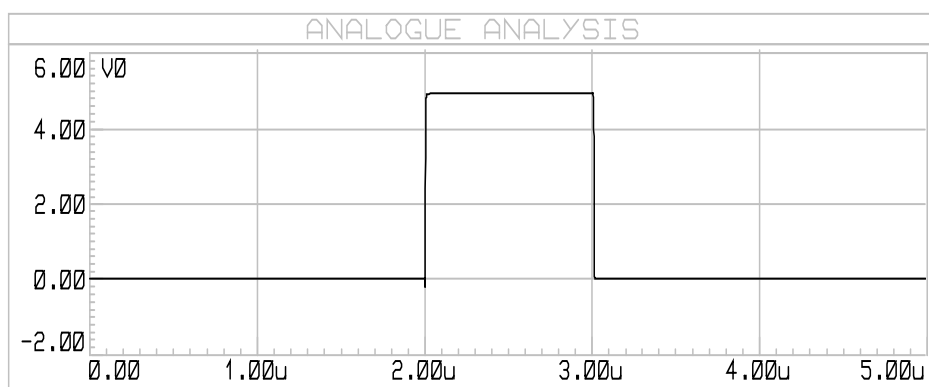


b)

Fonte: Autora.

A Figura 15 mostra a tensão de saída V_0 no momento em que os transistores não recebem sinal de *gate* ($t < 2 \mu s$ e $t > 3 \mu s$) e o momento em que os mesmos entram em condução por $1 \mu s$, tempo de amostragem como abordado anteriormente.

Figura 15 – Tensão de saída no momento da amostragem do pixel.



Fonte: Autora.

Os resultados obtidos se mostraram coerentes com a bibliografia utilizada, portanto este trabalho serve como base para o estudo e aquisição de um circuito de leitura de imagens em Terahertz.

5 CONCLUSÃO E TRABALHOS FUTUROS

As novas descobertas da área de Terahertz traz inúmeras possibilidades de pesquisas a serem desenvolvidas, unindo duas grandes áreas do conhecimento que são a fotônica e microeletrônica. A presente revisão bibliográfica tenta estimular novos trabalhos nessa área, e teve como proposta uma metodologia de projeto que visa, em um trabalho futuro, a implementação de circuitos para detecção de ondas Terahertz fabricados em tecnologia CMOS, que apresenta entre diversas vantagens, soluções de baixo custo e alta integrabilidade do chip.

Para trabalhos futuros, tem-se:

- Implementação do circuito integrado;
- Envio do circuito para fabricação e buscar melhorias após testes;
- Publicação de artigos.

6 REFERÊNCIAS

- ARIYOSHI, S. et al. **Terahertz imaging with a direct detector based on superconducting tunnel junctions**. In: Applied Physics Letters. Maio 2006.
- BRITO FILHO, F. A. **A Terahertz Focal Plane Array for Imaging Applications in 180nm CMOS Technology**. In: Proceedings of VI IEEE Latin American Symposium on Circuits and Systems – LASCAS. Fevereiro 2015.
- BRITO FILHO, F. A. **Circuitos Integrados para Detecção de Ondas Submilimétricas em Sistemas de Identificação por Imagem**. 2015. 71 f. Tese (Doutorado em Microeletrônica) – Universidade de São Paulo, São Paulo. 2015.
- FIORANTE, G. R. C. et. al. **A Readout Integrated Circuit (ROIC) with Hybrid Source/Sensor Array**. In: IEEE Photonic Society 24th Annual Meeting. Outubro 2011.
- KHOSHAKHLAGH, A. **Design of a Readout Integrated Circuit (ROIC) for Infrared Imaging Applications**. 2010. 59 f. These (Master of Science Electrical Engineering) - The University of New Mexico. Albuquerque, New Mexico. Dezembro, 2010.
- MICHAL, Vratislav; **Design Of Cmos Analog Integrated Circuits As Readout Electronics For High-Tc Superconductor And Semiconductor Terahertz Bolometric Sensors**. In: <www.postreh.com/vmichal/thesis> acesso: 10, Abril 2015. Junho 2009.
- REIS, R. A. L. (2000). **Concepção de Circuitos Integrados**. 2ª edição. Porto Alegre: Instituto de Informática da UFRGS: Sagra Luzzato, 2002. 280 p. (Série de Livros Didáticos, Nº7).
- SCHULTZ, K. I. et. al. **Digital Focal-Plane Arrays**. In: Lincoln Laboratory Journal. 2010.
- SEDRA, Adel S.; SMITH, Kenneth C. **Microeletrônica**. 5ª edição. São Paulo: Pearson Prentice Hall, 2007. 848 p.