



UNIVERSIDADE FEDERAL RURAL DO SEMI-ÁRIDO  
PRÓ-REITORIA DE GRADUAÇÃO  
CENTRO MULTIDISCIPLINAR DE PAU DOS FERROS  
BACHARELADO EM CIÊNCIA E TECNOLOGIA

RAFAEL VIEIRA ABRANTES

**ANÁLISE DE TOPOLOGIAS OTIMIZADAS DE PORTAS LÓGICAS UTILIZANDO  
TECNOLOGIA CMOS**

PAU DOS FERROS/RN

2017

RAFAEL VIEIRA ABRANTES

**ANÁLISE DE TOPOLOGIAS OTIMIZADAS DE PORTAS LÓGICAS UTILIZANDO  
TECNOLOGIA CMOS**

Monografia apresentada à Universidade Federal Rural do Semi-Árido como requisito para obtenção do título de Bacharel em Ciência e Tecnologia.

Orientador: Ernano Arrais Júnior, Prof. Dr.

PAU DOS FERROS/RN

2017

©Todos os direitos estão reservados à Universidade Federal Rural do Semi-Árido. O conteúdo desta obra é de inteira responsabilidade do (a) autor (a), sendo o mesmo, passível de sanções administrativas ou penais, caso sejam infringidas as leis que regulamentam a Propriedade Intelectual, respectivamente, Patentes: Lei nº 9.279/1996, e Direitos Autorais: Lei nº 9.610/1998. O conteúdo desta obra tornar-se-á de domínio público após a data de defesa e homologação da sua respectiva ata, exceto as pesquisas que estejam vinculadas ao processo de patenteamento. Esta investigação será base literária para novas pesquisas, desde que a obra e seu (a) respectivo (a) autor (a) seja devidamente citado e mencionado os seus créditos bibliográficos.

RAFAEL VIEIRA ABRANTES

**ANÁLISE DE TOPOLOGIAS OTIMIZADAS DE PORTAS LÓGICAS  
UTILIZANDO TECNOLOGIA CMOS**

Monografia apresentada a Universidade Federal Rural do Semi-Árido como requisito para obtenção do título de Bacharel em Ciência e Tecnologia.

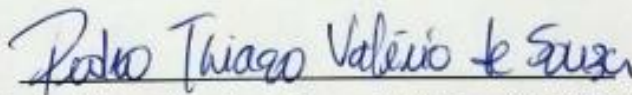
Defendida em: 23 / 10 / 2014.

**BANCA EXAMINADORA**



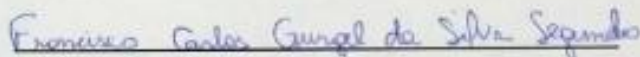
Ernano Arrais Júnior, Prof. Dr. (UFERSA)

Presidente



Pedro Thiago Valério de Souza, Prof. Msc. (UFERSA)

Membro Examinador



Francisco Carlos Gurgel da Silva Segundo, Prof. Msc. (UFERSA)

Membro Examinador

Dedico este trabalho, principalmente, aos meus pais, **Edmilson** e **Maria** por sempre estar do meu lado me apoiando em tudo e sempre acreditar em mim, onde me orgulho muito e sei que posso contar com vocês para sempre, nunca vou deixar de amar vocês.

Ao meu irmão **Diego**, por sempre pegar no meu pé para sempre estudar, e por ser responsável, obrigado por estar do meu lado.

## **AGRADECIMENTOS**

Aos meus pais e ao meu irmão, por sempre se preocuparem e nunca deixarem de acreditar em mim. Sou grato a vocês por tudo e por chegar até aqui, amo demais vocês!

A Francisco Alderi e a Avani Lopes por terem aparecido na minha vida no tempo exato, onde não esqueço de cada momento na casa de vocês, aos seus filhos Robson Fernando e a Camilla Lopes. Considero vocês como minha segunda família obrigado por estarem presente na minha infância, sou grato por tudo.

Aos meus amigos que desde que cheguei em Sousa-PB estão comigo até hoje, Anderson Florentino, Carlos Augusto, Yago Abrantes, Michel Moreira e aos amigos que chegaram logo após, Gledson Medeiros, Maria Luiza, Renata Gonçalves, Joélida Fernandes, Silvia Danielly, Wolsey Rodrigues, Camillo Formiga e Matheus Rodrigues vocês foram essenciais na minha vida, sou grato a todos.

Aos amigos que encontrei na universidade que os considero como irmãos, Jorgiana Vanérica, João Vitor, Bruno, Antonio José, Geversson Pinheiro, obrigado a cada momento inesquecível que me proporcionaram.

Ao meu orientador Ernando Arrais Jr. por toda a disponibilidade, por nunca desistir de mim e sempre me fazer rir quando estava desesperado, você é uma inspiração para mim.

“Viver no mundo sem tomar consciência do significado do mundo é como vagar por uma imensa biblioteca sem tocar os livros”

Dan Brown

## RESUMO

A concepção dos circuitos integrados ocorreu devido com a evolução tecnológica dos transistores, em especial os transistores do tipo efeito de campo, mais especificamente os MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*). O transistor MOS possibilitou a miniaturização dos circuitos integrados, alavancando o aumento da densidade de transistores em uma pastilha de silício. Contudo, este avanço tende a reduzir, pois está se chegando ao limite de redução do tamanho dos transistores. Sendo assim, vários trabalhos vêm sendo direcionadas para topologias mais otimizadas, as quais apresentam uma quantidade de transistores inferiores às tecnologias padrões, além da redução de consumo de potência, mais especificamente os circuitos de ultra-baixo consumo. Este trabalho propõe uma análise comparativa de topologias de circuitos digitais, mais especificamente portas lógicas, a nível de projeto de *layout*. Serão comparadas topologias padrões com soluções otimizadas, sendo avaliados os desempenhos destas implementações levando em consideração três litografias de mercado: 0,25  $\mu\text{m}$ , 0,35  $\mu\text{m}$  e 0,60  $\mu\text{m}$ . As topologias serão descritas em SPICE e os resultados comparados com o projeto do *layout*.

**Palavras-chave:** Circuitos Integrados Digitais; Transistor MOSFET; Descrição SPICE; Layout;  $\mu$  (micro).

## ABSTRACT

The design of the integrated circuits occurred due to the technological evolution of the transistors, especially the field effect type transistors, more specifically the Metal Oxide Semiconductor Field Effect Transistor (MOSFET). The MOS transistor enabled the miniaturization of the integrated circuits, leveraging the increased density of transistors in a silicon wafer. However, this advance tends to reduce, as the reduction of the size of the transistors is reaching the limit. Thus, several works have been directed to more optimized topologies, which present a number of transistors inferior to the standard technologies, besides the reduction of power consumption, more specifically the circuits of ultra-low consumption. This work proposes a comparative analysis of topologies of digital circuits, more specifically logic gates, at the level of layout design. Standard topologies with optimized solutions will be compared and the performances of these implementations will be evaluated taking into account three lithographs of the market: 0.25  $\mu\text{m}$ , 0.35  $\mu\text{m}$  and 0.60  $\mu\text{m}$ . The topologies will be described in SPICE and the results compared to the layout design.

**Keywords:** Digital Integrated Circuits; MOSFET transistor; Publisher description for SPICE; Layout,  $\mu$  (micro).

## LISTA DE FIGURAS

|                                                                                                                                                                                                                                             |    |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 1: Quantidade de transistores na CPU ao longo dos anos. ....                                                                                                                                                                         | 18 |
| Figura 2: Custo de produção dos transistores.....                                                                                                                                                                                           | 19 |
| Figura 3: Portas Lógicas XOR e XNOR em um único circuito. ....                                                                                                                                                                              | 23 |
| Figura 4: Portas lógicas, (a) AND e NAND e (b) OR e NOR.....                                                                                                                                                                                | 23 |
| Figura 5: Portas lógicas: (a) Porta Lógica OR (b) Porta Lógica AND.....                                                                                                                                                                     | 24 |
| Figura 6: Porta Lógica XOR e XNOR com 8 transistores. ....                                                                                                                                                                                  | 24 |
| Figura 7: Porta Lógica XOR e XNOR com 5 transistores. ....                                                                                                                                                                                  | 25 |
| Figura 8: Inversor. ....                                                                                                                                                                                                                    | 25 |
| Figura 9: (a) Porta Lógica NOR e (b) Porta Lógica NAND, ambos com 4 transistores. ....                                                                                                                                                      | 26 |
| Figura 10: Estrutura física do MOSFET. ....                                                                                                                                                                                                 | 27 |
| Figura 11: Região de Triodo e Saturação. ....                                                                                                                                                                                               | 28 |
| Figura 12: (a) Símbolo do NMOS (b) Símbolo de PMOS. ....                                                                                                                                                                                    | 29 |
| Figura 13: (a) Porta lógica NOT, (b) Porta Lógica OR, (c) Porta lógica AND, (d) Porta Lógica NAND e (e) Porta Lógica NOR. ....                                                                                                              | 29 |
| Figura 14: (a) Porta Lógica NOT com 0 na entrada e (b) Porta Lógica NOT com 1 na entrada. ....                                                                                                                                              | 30 |
| Figura 15: (Porta Lógica NAND com 1 nas entradas e (b) Porta Lógica NAND com umas das entradas com zero. ....                                                                                                                               | 31 |
| Figura 16: (a) Porta Lógica NOR com uma entrada 1 e (b) Porta Lógica com todas as entradas zeros.....                                                                                                                                       | 31 |
| Figura 17: Porta Lógica XOR com 1 nas entradas. ....                                                                                                                                                                                        | 32 |
| Figura 18: Resultados da porta lógica NOT, (a) entrada em todas as tecnologias, (b) saída com tecnologia de 0,6µm, (c) saída com tecnologia de 0,35µm e (d) saída com tecnologia de 0,25µm.....                                             | 33 |
| Figura 19: Layout da porta lógica NOT. ....                                                                                                                                                                                                 | 34 |
| Figura 20: Resultados do layout da porta lógica NOT, (a) entrada, (b) saída com a tecnologia de 0,6 µm, (c) saída com a tecnologia de 0,35µm e (d) saída com a tecnologia de 0,25 µm...35                                                   | 35 |
| Figura 21: Resultados obtidos da porta lógica padrão NAND, (a) e (b) entradas, (c) saída com a tecnologia de 0.6 µm, (d) saída com a tecnologia de 0,35 µm e (e) saída com a tecnologia de 0,25 µm.....                                     | 36 |
| Figura 22: Layout da porta lógica NAND. ....                                                                                                                                                                                                | 37 |
| Figura 23: Resultados da porta lógica NAND padrão, (a) e (b) entradas, (c) saída com tecnologia 0,6 µm, (d) saída com tecnologia 0,35 µm e (e) saída com tecnologia 0,25 µm....37                                                           | 37 |
| Figura 24: Resultados da porta lógica NAND otimizada, (a) e (b) entradas para todas as tecnologias, (c) saída com transistores de 0,6µm, (d) saída com transistores de 0,35µm e (d) saída com transistores de 0,25µm. ....                  | 38 |
| Figura 28:Layout da porta lógica NAND otimizada. ....                                                                                                                                                                                       | 39 |
| Figura 26: Resultados obtidos do layout da porta lógica NAND com 2 transistores, (a) entrada A, (b) entrada B invertida, (c) saída com tecnologia de 0,6 µm, (d) saída com tecnologia de 0,35 µm e (e) saída com tecnologia de 0,25 µm..... | 40 |
| Figura 27: Resultados com a implementação SPICE para a porta lógica NOR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 µm, (d) saída com tecnologia de 0,35 µm e (e) saída com tecnologia de 0,25 µm. ....                | 41 |
| Figura 28:Layout da porta lógica NOR. ....                                                                                                                                                                                                  | 42 |

|                                                                                                                                                                                                                                                                                                                                                                                                                                                            |    |
|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| Figura 29: Resultados da porta lógica NOR em layout, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                                     | 42 |
| Figura 30: Resultados da implementação SPICE da porta lógica com 2 transistores, (a) entrada A, (b) entrada B invertida, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (c) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                 | 44 |
| Figura 31: Layout da porta lógica NOR com 2 transistores.                                                                                                                                                                                                                                                                                                                                                                                                  | 45 |
| Figura 32: Resultados do layout da porta lógica NOR com 2 transistores, (a) entrada A, (b) entrada B invertida, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                          | 45 |
| Figura 33: resultados obtidos da porta lógica padrão OR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 $\mu\text{m}$ , (d) saídas com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                                | 46 |
| Figura 34: Layout da porta lógica OR.                                                                                                                                                                                                                                                                                                                                                                                                                      | 47 |
| Figura 35: Resultados da porta lógica OR padrão, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                                           | 48 |
| Figura 36: Resultados da porta lógica OR com 2 transistores, (a) entrada A', (b) entrada B', (c) saída com a tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                           | 49 |
| Figura 37: Layout da porta lógica OR com dois transistores.                                                                                                                                                                                                                                                                                                                                                                                                | 50 |
| Figura 38: Resultados do layout da porta lógica OR com 2 transistores, (a) entrada A, (b) entrada B, (c) entrada B', (d) saída com tecnologia de 0,6 $\mu\text{m}$ , (e) saída com tecnologia de 0,35 $\mu\text{m}$ (f) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                       | 50 |
| Figura 39: Entradas e saídas geradas pela porta lógica AND padrão. (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                         | 51 |
| Figura 40: Layout da porta lógica AND.                                                                                                                                                                                                                                                                                                                                                                                                                     | 52 |
| Figura 41: Resultados do layout da porta lógica AND padrão, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                                | 52 |
| Figura 42: Resultados obtidos na porta lógica AND com 2 transistores, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                      | 54 |
| Figura 43: Layout da porta lógica AND com 2 transistores.                                                                                                                                                                                                                                                                                                                                                                                                  | 55 |
| Figura 44: Resultados do layout da porta lógica AND com dois transistores, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6 $\mu\text{m}$ , (d) saída com tecnologia de 0,35 $\mu\text{m}$ e (e) saída com tecnologia de 0,25 $\mu\text{m}$ .                                                                                                                                                                                                 | 55 |
| Figura 45: Porta lógica XOR.                                                                                                                                                                                                                                                                                                                                                                                                                               | 56 |
| Figura 46: Resultados da implementação SPICE das portas lógicas XOR e XNOR, (a) entrada A, (b) entrada B, (c) Saída da XOR com tecnologia de 0,6 $\mu\text{m}$ , (d) saída da XNOR com tecnologia de 0,6 $\mu\text{m}$ , (e) saída da XOR com tecnologia de 0,35 $\mu\text{m}$ , (f) saída da XNOR com tecnologia de 0,35 $\mu\text{m}$ , (g) saída da XOR com tecnologia de 0,25 $\mu\text{m}$ e (h) saída da XNOR com tecnologia de 0,25 $\mu\text{m}$ . | 56 |
| Figura 47: Layout das portas lógicas, (a) XOR e (b) XNOR.                                                                                                                                                                                                                                                                                                                                                                                                  | 58 |
| Figura 48: Resultados do layout das portas lógicas XOR e XNOR (a) entrada A, (b) entrada B, (c) saída da XOR com tecnologia de 0,6 $\mu\text{m}$ , (d) saída da XNOR com tecnologia de 0,6                                                                                                                                                                                                                                                                 |    |

|                                                                                                                                                                                                                                         |    |
|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----|
| μm, (e) saída da XOR com tecnologia de 0,35 μm, (f) saída da XNOR com tecnologia de 0,35 μm, (g) saída da XOR com tecnologia de 0,25 μm e (h) saída da XNOR com tecnologia de 0,25 μm.....                                              | 59 |
| Figura 49: Entradas e saídas geradas pela porta lógica XOR com 3 transistores, (a) entrada A, (b) entrada b, (c) saída com a tecnologia de 0,6 μm, (c) saída com tecnologia de 0,35 μm e (e) saída com a tecnologia de 0,25 μm. ....    | 60 |
| Figura 50: Entradas e saídas geradas pela porta lógica XNOR com 3 transistores, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 μm, (d) saída com a tecnologia de 0,35 μm e (e) saída com a tecnologia de 0,25 μm. .... | 61 |
| Figura 51: (a) Layout da porta lógica XOR e (b) Layout da porta lógica XNOR.....                                                                                                                                                        | 62 |
| Figura 52: Resultados do layout da porta lógica XOR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 μm, (b) saída com a tecnologia de 0,35 μm e (e) saída com tecnologia de 0,25 μm. ....                              | 63 |
| Figura 53: Resultados do layout da porta lógica XNOR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 μm, (d) saída com a tecnologia de 0,35 μm e (e) saída com a tecnologia de 0,25 μm. ....                           | 63 |
| Figura 54: Fluxo de produção.....                                                                                                                                                                                                       | 69 |
| Figura 55: Tela inicial do SPICE OPUS. ....                                                                                                                                                                                             | 70 |
| Figura 56: Tela inicial do MICROWIND.....                                                                                                                                                                                               | 71 |

## LISTA DE TABELAS

|                                                                                                               |    |
|---------------------------------------------------------------------------------------------------------------|----|
| Tabela 1: Revisão bibliográfica.....                                                                          | 26 |
| Tabela 2: tabela verdade das portas lógicas AND, NAND, OR, NOR, XOR e XNOR.....                               | 30 |
| Tabela 3: Tempo de atraso da porta lógica NOT.....                                                            | 34 |
| Tabela 4: Organização dos atrasos da porta lógica NOT em diferentes tecnologias. ....                         | 35 |
| Tabela 5: Atrasos da porta lógica NAND padrão em implementação SPICE.....                                     | 36 |
| Tabela 6: Organização dos atrasos da porta lógica NAND em diferentes tecnologias. ....                        | 38 |
| Tabela 7: Organização dos atrasos utilizando os dois métodos com a porta lógica NAND com 2 transistores. .... | 40 |
| Tabela 8: Tempo de atraso da porta lógica NOR. ....                                                           | 41 |
| Tabela 9: Organização dos atrasos da porta lógica NOR com implementação SPICE.....                            | 43 |
| Tabela 10 : Atrasos obtidos na implementação SPICE da porta lógica NOR com 2 transistores. ....               | 44 |
| Tabela 11: Resultados obtidos da implementação SPICE e o layout da porta lógica NOR com 2 transistores. ....  | 46 |
| Tabela 12: Tempo de atraso da porta lógica OR com implementação SPICE. ....                                   | 47 |
| Tabela 13: Organização dos atrasos da porta lógica OR em diferentes tecnologias. ....                         | 48 |
| Tabela 14: Atrasos da porta lógica OR com 2 transistores utilizando o SPICE.....                              | 49 |
| Tabela 15: Organização dos atrasos obtidos na tecnologia analisadas.....                                      | 50 |
| Tabela 16: Organização dos atrasos da porta lógica AND.....                                                   | 52 |
| Tabela 17: Organização dos atrasos da porta lógica AND em diferentes tecnologias. ....                        | 53 |
| Tabela 18: Atrasos obtidos da porta lógica AND com 2 transistores com SPICE.....                              | 54 |
| Tabela 19: Atrasos da porta lógica AND com 2 transistores nos dois métodos.....                               | 56 |
| Tabela 20: Resultados da implementação SPICE das portas lógicas XOR e XNOR.....                               | 57 |
| Tabela 21: Atrasos da implementação SPICE e o layout da porta lógica XOR.....                                 | 59 |
| Tabela 22: Resultados da implementação SPICE e do layout da porta lógica XNOR.....                            | 59 |
| Tabela 23: Organização dos atrasos da porta lógica XOR em implementação SPICE.....                            | 61 |
| Tabela 24: Organização dos atrasos da porta lógica XOR em diferentes tecnologias. ....                        | 64 |
| Tabela 25: Organização dos atrasos da porta lógica XNOR em diferentes tecnologias. ....                       | 64 |

## LISTA DE ABREVIATURAS E SIGLAS

CI – Circuito Integrado

CMOS – *Complementary Metal-Oxide-Semiconductor*

DH – *Design House*

MOSFET – Transistor de Efeito de Campo Metal-Óxido-Semicondutor

PNF-PCI – Programa Nacional de Formação de Projetistas de Circuitos Integrados

TBJ – Transistor Bipolar de Junção

AMD – *Advanced Micro Devices*

*Intel* – *Integrated Electronics Corporation*

SPICE – *Structured Process Improvement for Construction Enterprises*

## LISTA DE SÍMBOLOS

$i_d$  – Corrente no dreno

$V_{ds}$  – Tensão entre o dreno e a fonte

$V_{gs}$  – Tensão entre a porta e o dreno

$L$  – Comprimento do Transistor

$W$  – Largura do Transistor

$V_{DD}$  – Tensão no dreno

## SUMARIO

|                                                                          |    |
|--------------------------------------------------------------------------|----|
| 1. INTRODUÇÃO .....                                                      | 17 |
| 1.1. Microeletrônica no Mundo .....                                      | 20 |
| 1.2. Microeletrônica no Brasil .....                                     | 21 |
| 1.3. Motivação .....                                                     | 22 |
| 1.4. Objetivo .....                                                      | 22 |
| 1.4.1. Objetivo Geral .....                                              | 22 |
| 1.4.2. Objetivos específicos.....                                        | 23 |
| 1.5. Contribuições .....                                                 | 23 |
| 1.6. Metodologia .....                                                   | 23 |
| 1.7. Organização do trabalho .....                                       | 23 |
| 2. ESTADO DA ARTE .....                                                  | 25 |
| 3. TRANSISTOR DE EFEITO DE CAMPO METAL-ÓXIDO-SEMICONDUCTOR (MOSFET)..... | 29 |
| 3.1 Complementary Metal-Oxide-Semiconductor (CMOS).....                  | 30 |
| 3.2 PORTAS LÓGICAS.....                                                  | 31 |
| 4. RESULTADOS E DISCUSSÕES .....                                         | 35 |
| 4.1 Porta Lógica NOT .....                                               | 35 |
| 4.2 Porta Lógica NAND .....                                              | 37 |
| 4.3 Porta Lógica NOR .....                                               | 42 |
| 4.4 Porta Lógica OR .....                                                | 48 |
| 4.5 Porta Lógica AND .....                                               | 53 |
| 4.6 Porta Lógica XOR e XNOR .....                                        | 58 |
| 5. CONSLUSÕES .....                                                      | 65 |
| 6. REFERÊNCIAS .....                                                     | 66 |
| 7. ANEXO.....                                                            | 69 |
| 7.1 DESCRIÇÃO SPICE .....                                                | 69 |
| 6.2. LAYOUT.....                                                         | 71 |
| 6.2.1. MICROWIND.....                                                    | 71 |

## 1. INTRODUÇÃO

No final do século XIX, ocorreu o advento das válvulas, sendo dispositivos amplificadores operavam com movimentos dos elétrons entre placas em uma câmara a vácuo, iniciando a era da eletrônica, persistiu por algumas décadas (OKA, 2000). As válvulas possuíam limitações tais como, ao tempo de vida e possuíam tamanho grande, devido isto, foram realizadas pesquisas para a obtenção de dispositivos eletrônicos mais eficientes. Nos anos 40 ocorreu a criação do primeiro transistor por Bardeen, Brattain e Shockley, substituindo as válvulas de forma mais eficiente e havendo o espaço físico menor (RAZAVI, 2010).

O transistor substituto das válvulas foi o Transistor Bipolar de Junção (TBJ), que dominou por mais de 3 décadas, por ser menores, mais baratos e mais rápidos (VAHID, 2008). seu destaque na utilização nos circuitos e projetos até a chegada do MOSFET (*Metal Oxide Semiconductor Field Effect Transistor*) (RAZAVI, 2010).

Os TBJs foi tinham por composição a existência da Base, Emissor e o Coletor. A ausência de corrente na Base, a corrente entre o Emissor e o Coletor não percorre (WAZLAWICK, 2016). Primeiramente foi utilizado Germânio como material semicondutor na criação do TBJ (SACOO, 2014).

Mesmo com a redução do tamanho do TBJ em relação às válvulas, com o passar do tempo, houve a necessidade de diminuir os transistores. Na década de 60, obteve-se o agrupamento de vários transistores em uma pastilha (*chip*) e assim surgiu o Circuito Integrado (CI) (VAHID, 2008).

Um componente utilizado nos CI foi o MOSFET, que consegue a implementação de mais de 200 milhões de transistores em uma única pastilha (SEDRA, 2007). O MOSFET tem sua vantagem na utilização em relação aos outros transistores antigos, pois, ele consegue funcionar em baixa potência e por serem miniaturizados com o passar dos anos.

Nos CI se utiliza o silício como matéria prima para a construção e fabricação, por ser abundante na crosta terrestre cerca de 28 % (ARRAIS, 2017).

Com a tecnologia empregada na construção e fabricação dos CI podemos aplicá-los em elementos de lógica digital e até memórias RAM. Os CI podem ser utilizados para a construção circuitos analógicos utilizados na comunicação. O *complementary Metal Oxide Semiconductor* (CMOS) foi patenteado por Frank Wanlass em 1963 (PIMENTA, 2017).

Com o passar dos anos, o CMOS teve um avanço considerável no mercado, passando a ser a tecnologia mais utilizada. Aproximadamente, 75 % dos circuitos semicondutores são implementados com tecnologia CMOS e esse fato deve-se estender até as próximas décadas.

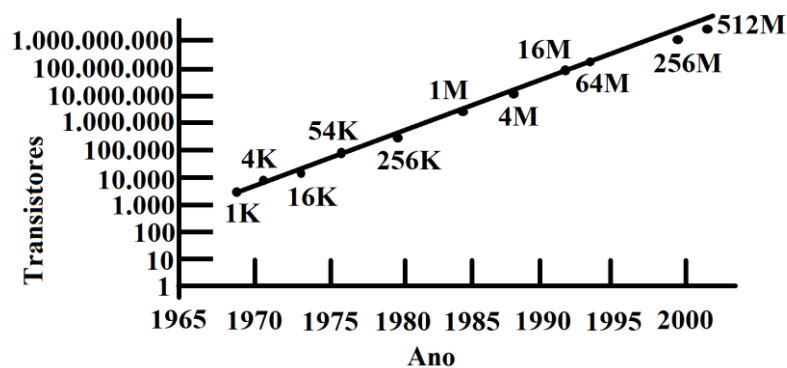
A tecnologia possui baixo consumo, simplicidade de projeto, e o mesmo pode operar em uma enorme faixa de valores de tensão e alta imunidade (KOFUJI, 2017).

Este trabalho consiste na construção das portas lógicas em diversas tecnologias (tamanho do transistor) utilizando a implementação SPICE (*Simulation Program With Integrated Circuit*) e logo após a construção do *layout* comparando os resultados e atrasos nas saídas dos circuitos.

### 1.1. Microeletrônica no Mundo

Em 1965, Gordon Earl Moore estabeleceu que a cada 18 meses a densidade dos transistores dobraria, que até hoje é conhecida como Lei de Moore, e essa lei ainda é utilizada (TANENBAUM, 2005). Apresenta a Figura 1 a relação da quantidade de transistores ao longo dos anos.

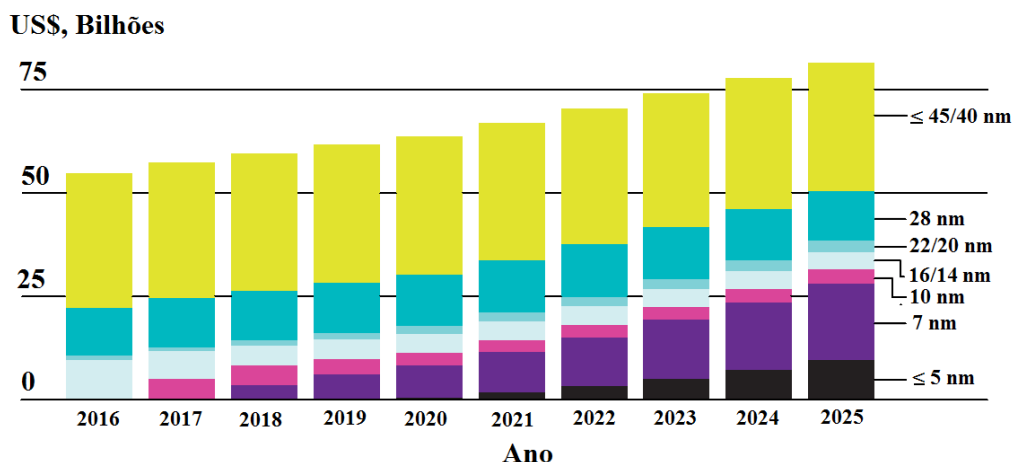
**Figura 1:** Quantidade de transistores na CPU ao longo dos anos.



**Fonte:** (TANENBAUM 2005) (Editado pelo autor, 2017).

Desde de 1965 descrita pela Figura 1, a quantidade de transistores em um único chip tendeu a aumentar conforme analisado por Moore quando estabeleceu a Lei (TANENBAUM, 2005).

Atualmente, já se utiliza por algumas empresas a utilização de transistores com litografia de 7 nm, algumas empresas estão próximas de utilizá-las comercialmente (COURTLAND, 2017). A *Integrated Electronics* (Intel) no momento continua na utilização dos transistores com a tecnologia de 14 nm (INTEL, 2017).

**Figura 2:** Custo de produção dos transistores

**Fonte:** Modificado de: **Ieee Spectrum: FOR THE TECHNOLOGY INSIDER**, New York, v. 54, n. 1, p.52-53, jan. 2017.

A Figura 2 apresenta o custo de produção dos transistores nos anos de 2016 e a estipulação de 2017 a 2025, os transistores com 7 nm começam a aparecer na produção em 2018 e com 5 nm em 2021, porém, algumas empresas já conseguem fabricar transistores com 7 nm como o caso da empresa Global Foundries (GLOBAL FOUNDRIES, 2017).

A Global Foundries conseguiu obter os transistores de 7 nm com 60 % de redução de energia comparados com as de 14 nm (GLOBAL FOUNDRIES, 2017). Outra empresa forte no mercado é a *Advanced Micro Devices* (AMD) com seus processadores Ryzen e seus 14 nm (AMD, 2017).

A empresa Samsung está no mercado com seu processador Exynos 9 Octa 8895 com litografia de 10 nm (SAMSUNG, 2017). A empresa espera alcançar a venda de US\$ 14,6 bilhões no segundo semestre de 2017 com a venda de chips (GABRIEL, 2017). Em 2018 a empresa espera chegar a produzir transistor a 7 nm (RODRIGUES, 2017).

## 1.2. Microeletrônica no Brasil

Em 2005 foi criado o programa CI-Brasil com objetivo de fomentar e desenvolver a microeletrônica no país e inserir no mercado internacional de semicondutores o qual possui um centro de formação para os profissionais da área atuarem em Design Houses (CI-BRASI, 2017).

Outro programa nacional foi o Brasil – IP que foi criado para impulsionar a microeletrônica no país em consórcio entre diversas Universidades do país para a formação e qualificação dos profissionais, mas infelizmente não existe mais.

A microeletrônica no Brasil ganhou mais ênfase em 2008 quando o governo brasileiro criou o Programa Nacional de Formação de Projetistas de Circuitos Integrados (PNF-PCI) com o propósito de impulsionar a indústria da microeletrônica no país, qualificando os profissionais para desenvolver projetos de CI. Foram criados dois centros de treinamentos, um em Porto Alegre (RS) e outro em Campinas (SP) (JUNGES, 2012).

Devido a este programa, foram criadas as Design House (DH) para a criação de CI em diversas áreas, que se espalharam pelo país, em 2012 somaram pelo menos 24 DHs e em 2016 teve a última delas fechada, marcando assim o fechamento do programa no Brasil (EXAME, 2016).

Porém, neste período de incentivo até sua decadência no país, tiveram grandes conquistas, tendo como exemplo uma equipe desenvolveu o microcontrolador ZR16 no projeto NanoSat lançado em 2014 na Rússia (EXAME, 2016).

### **1.3. Motivação**

A microeletrônica no Brasil, após 2016, perdeu investimentos no setor, perdendo a competitividade no mercado internacional (EXAME, 2016).

De forma não deixar em esquecimento a microeletrônica no país, este trabalho tem como principal motivador trazer a cultura do estudo no assunto dentro da Universidade, motivando outras pessoas a se interessarem e contribuir para a área.

O trabalho teve como principal motivador o estudo de microeletrônica com os transistores. Com isso, surgiu a ideia de montar circuitos utilizando CMOS em portas lógicas para realizar a comparação em diversas tecnologias dos transistores, observando como ocorre o projeto de um CI e mostrar resultados, como tempo de propagação em diversos tamanhos e posicionamentos dos transistores.

### **1.4. Objetivo**

#### **1.4.1. Objetivo Geral**

Este trabalho tem como objetivo geral a busca por topologias otimizadas de portas lógicas, visando uma redução na densidade de transistores no chip e redução do consumo de potência das portas.

#### 1.4.2. Objetivos específicos

Dentre os objetivos específicos deste trabalho destacam-se:

- Desenvolver o *layout* de portas lógicas com topologias diferentes;
- Realizar a implementação *Spice* das portas lógicas.
- Analisar o comportamento das portas lógicas, observando seu tempo de resposta;
- Comparar tecnologias de transistores.

#### 1.5. Contribuições

A principal contribuição deste trabalho é:

- Análise de diferentes topologias de portas lógicas, bem como comparação de desempenho entre algumas tecnologias sendo elas de 0,25 $\mu$ m, 0,35 $\mu$ m e 0,6 $\mu$ m, possibilitando uma melhor escolha no projeto do circuito integrado digital.

#### 1.6. Metodologia

Este trabalho será realizado com a seguinte metodologia:

- Revisão bibliográfica sobre transistores CMOS;
- Revisão bibliográfica sobre portas lógicas NOT, AND, NAND, OR, NOR, XOR, XNOR;
- Revisão bibliográfica sobre projeto de *layout*;
- Revisão bibliográfica sobre implementação *Spice*;
- Métodos de elaboração de *layout* e descrição em *Spice*;

#### 1.7. Organização do trabalho

O trabalho está organizado em sete partes:

- Na **Introdução** foi abordada uma pequena introdução e contextualização sobre a microeletrônica no Mundo e no Brasil, os objetivos deste trabalho, bem como a motivação para elaboração do mesmo;
- No **Estado da Arte** é apresentado um levantamento da revisão bibliográfica, apresentando o surgimento dos transistores até o surgimento do CMOS, método de *layout* em um projeto, e analisando projetos de portas lógicas semelhantes;
- No **Transistor de Efeito de Campo Metal-Óxido-Semicondutor (MOSFET)** foi elaborada uma fundamentação teórica sobre o Transistor de Efeito de Campo Metal-

Óxido-Semicondutor (MOSFET), tecnologia CMOS e as portas lógicas NOT, AND, NAND, OR, NOR, XOR e XNOR;

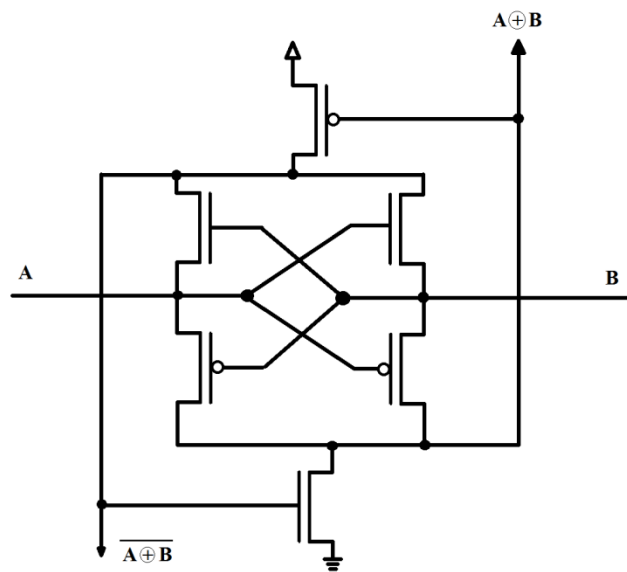
- Nos **Resultados e Discussões** são apresentados os resultados obtidos;
- Na **Conclusão** são apresentadas as atividades desenvolvidas e discussões gerais.
- Nos **Anexos** são apresentados os métodos de análise, implementação *SPICE* e *layout*.

## 2. ESTADO DA ARTE

No Estado da Arte é apresentada uma revisão sobre o estado da arte sobre portas lógicas padrões e otimizadas com suas respectivas tabelas verdade.

Em 1999, procurou uma otimização das portas XOR e XNOR, utilizando 6 transistores e analisando seu tempo de resposta que foi de 0,20 ns para a porta lógica XOR aumentando seu tempo de propagação quando comparado com outro modelo, porém, conseguiu um consumo de energia menor. A Figura 3 mostra as portas propostas (VETERBACKA, 1999).

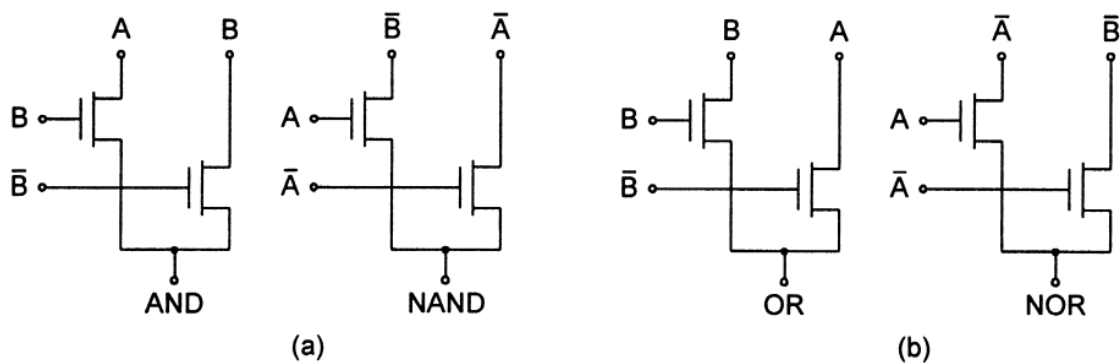
**Figura 3:** Portas Lógicas XOR e XNOR em um único circuito.



Fonte: VETERBACKA (1999).

Em 2000, foi apresentado 4 portas lógicas otimizadas, sendo ela, AND, NAND, NOR e OR somente com 2 transistores NMOS, conforme apresenta-se abaixo na Figura 4.

**Figura 4:** Portas lógicas, (a) AND e NAND e (b) OR e NOR.

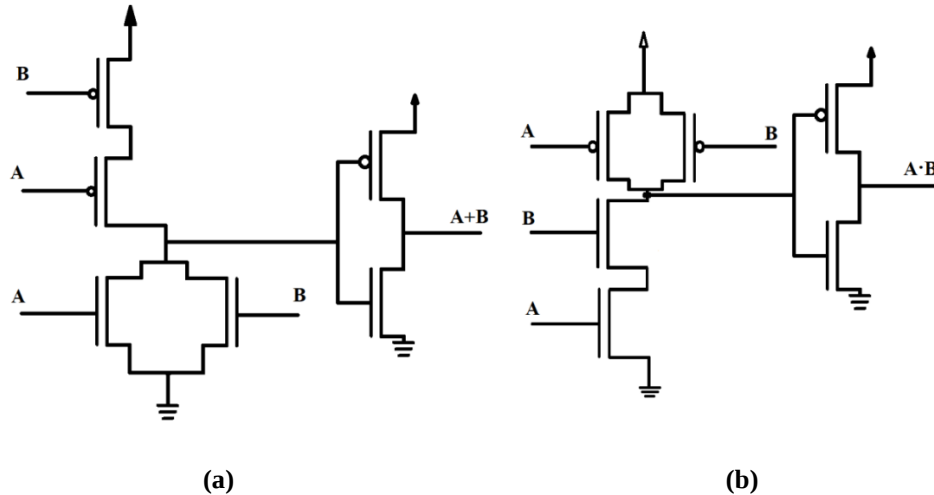


Fonte: MARKOVIC, NIKOLIC e OKLOBDZIJA, 2000.

Em 2008, foram apresentadas duas portas lógicas, AND e OR, utilizando 6 transistores em cada, com os modelos utilizados foram uma extensão da NAND e NOR sendo que na

saída foi acrescentado um inversor, conforme apresenta-se abaixo na Figura 5 (VAHID, 2008).

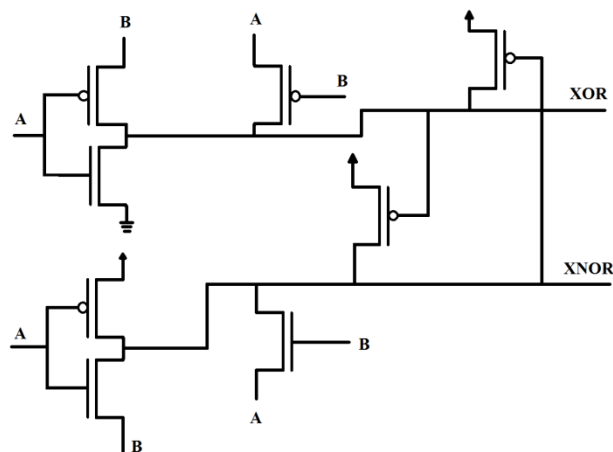
**Figura 5:** Portas lógicas: (a) Porta Lógica OR (b) Porta Lógica AND.



Fonte: VAHID (2008).

Em 2009, propuseram um circuito otimizado com 8 transistores que consiste em 5 transistores do tipo *PFET Metal Oxide Silicon* (PMOS) e 3 do tipo *NFET Metal Oxide Silicon* (NMOS), na qual em alguns casos a polarização nos transistores na parte do dreno era com a própria entrada, conforme mostra a Figura 6 (MISHRA; etal., 2009).

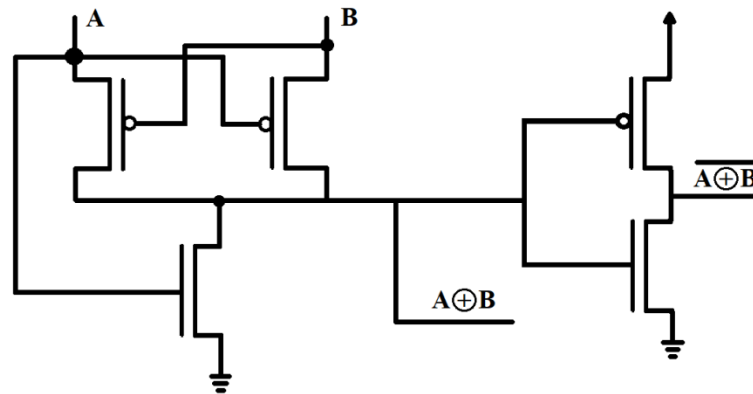
**Figura 6:** Porta Lógica XOR e XNOR com 8 transistores.



Fonte: MISHRA (2009).

Em 2011, KUMAR; PANDEY, propuseram um circuito com no máximo 5 transistores, sendo 3 PMOS e 2 NMOS, com o diferencial foi a polarização no dreno do (PMOS) com o próprio valor da entrada e com o tempo de propagação menor que 0,5 ns, conforme mostrado na Figura 7 (KUMAR; PANDEY, 2011).

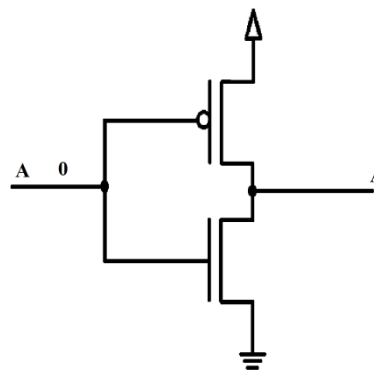
**Figura 7:** Porta Lógica XOR e XNOR com 5 transistores.



**Fonte:** Rajeev Kumar e Vimal Kant Pandey (2011).,

Em 2013 WILTGEN *et al.*, 2013 demonstram no seu trabalho o inversor (Porta Lógica NOT) com 2 transistores, sendo, 1 *NFET Metal Oxide Silicon* (NMOS) e 1 *PFET Metal Oxide Silicon* (PMOS) padrão, conforme a Figura 8.

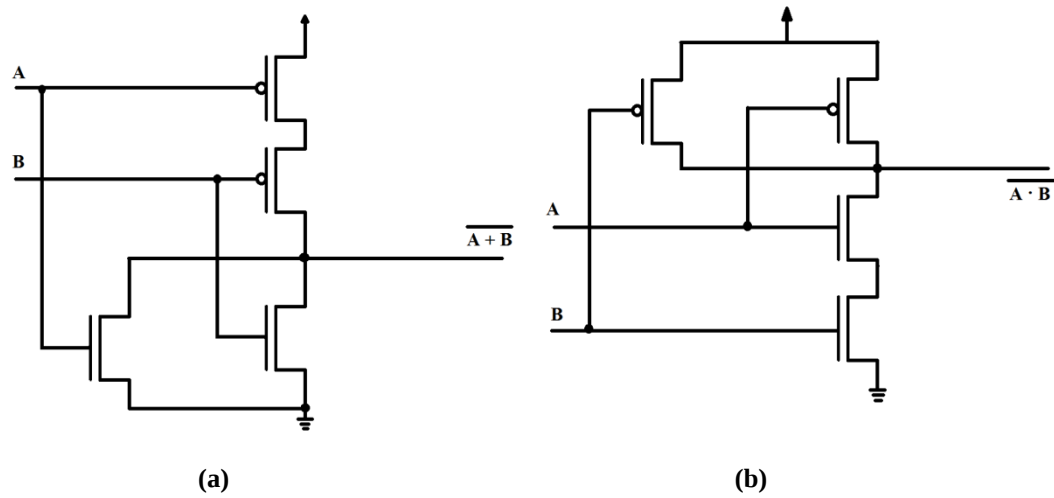
**Figura 8:** Inversor.



**Fonte:** Junior, *et al.* (2013).

Outro modelo demonstrado foram as portas lógicas NAND e NOR com a utilização de 4 transistores em cada, sendo, 2 NMOS e 2 PMOS, porém, com alocações diferentes entre elas conforme a Figura 9.

**Figura 9:** (a) Porta Lógica NOR e (b) Porta Lógica NAND, ambos com 4 transistores.



Fonte: Junior, *et al.* (2013).

**Tabela 1:** Revisão bibliográfica.

| Referência                                 | Implementação |      |     |     |    |     |      |
|--------------------------------------------|---------------|------|-----|-----|----|-----|------|
|                                            | NOT           | NAND | AND | NOR | OR | XOR | XNOR |
| Vesterbacka (1999)                         |               |      |     |     |    | ✓   |      |
| MARKOVIC;<br>NIKOLIC;<br>OKLOBDZIJA.(2000) |               | ✓    | ✓   | ✓   | ✓  | ✓   |      |
| Vahid (2008)                               |               |      | ✓   |     | ✓  |     |      |
| Mishra et al. (2009)                       |               |      |     |     |    | ✓   | ✓    |
| Kumar e Pandey<br>(2011).                  |               |      |     |     |    | ✓   | ✓    |
| Wiltgen et al. (2013)                      | ✓             | ✓    |     | ✓   |    |     |      |

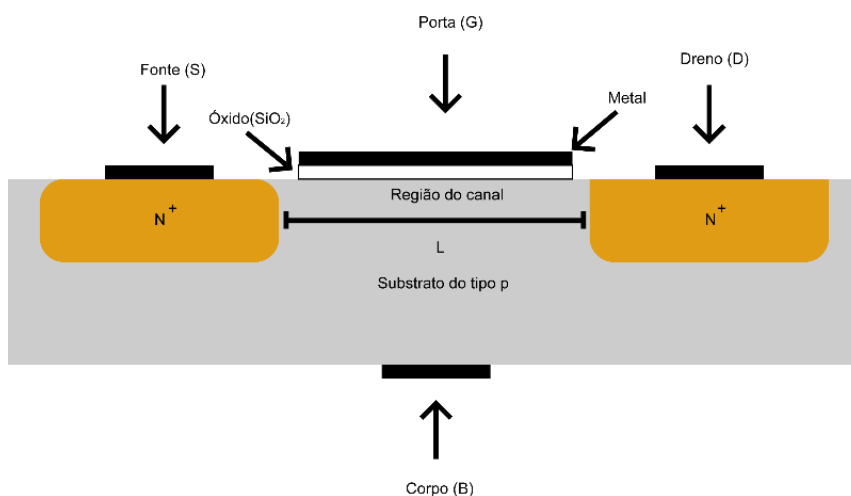
Fonte: O autor (2017).

### 3. TRANSISTOR DE EFEITO DE CAMPO METAL-ÓXIDO-SEMICONDUCTOR (MOSFET)

Antes da invenção dos CI, por volta da década de 50 foram criados os transistores discretos, onde resultou nos computadores de tamanho reduzido e com consumo menor de energia. Nos transistores discretos já possuía um pedaço pequeno de silício “dopado” em sua composição. O funcionamento era realizado em forma de chave, onde estes transistores eram menores e mais rápidos do que as válvulas criadas uma década anterior, com isso, foi sendo mais utilizado nas décadas de 50 e 60 (VAHID, 2008).

O Transistor de Efeito de Campo Metal-Óxido-Semicondutor (MOSFET) é o transistor mais utilizado atualmente em circuitos integrados, onde são fabricados sobre uma pastilha de silício, sendo compostos de 4 terminais: porta (*gate*), fonte (*source*), dreno (*drain*) e substrato (*body*). Ao ser “dopado” com uma tensão, ele cria um canal de elétrons entre a fonte e o dreno com largura  $W$  e comprimento  $L$ , em que este canal de material semicondutor pode ser de tipo  $n$  ou  $p$  como mostra a Figura 10 abaixo.

**Figura 10:** Estrutura física do MOSFET.



**Fonte:** Modificado de: SEDRA (2007).

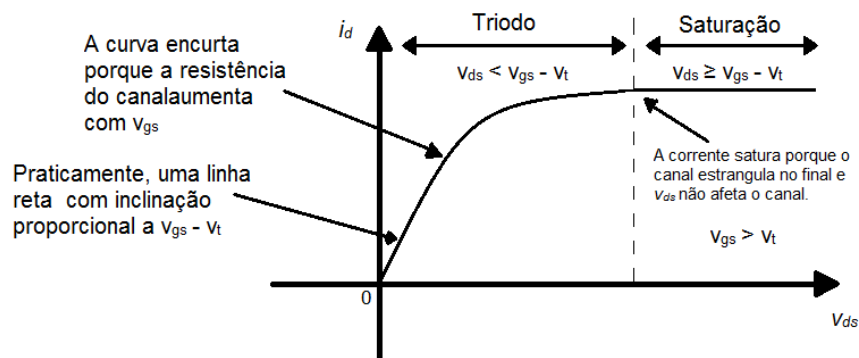
No efeito de campo o *gate* é polarizado para um potencial, sendo, para inibir ou induzir uma região do *body* para controlar a condução (Williams *et al.*, 2017).

A circulação de corrente no transistor pode acontecer se, aterrar a fonte, o dreno e uma tensão positiva na porta. Com a fonte aterrada, então a interação de tensão ocorre entre a porta e o dreno, sendo representado por  $V_{gs}$ , com a tensão positiva na porta existe uma atração dos elétrons que estão nas regiões  $n^+$  da fonte e do dreno, e quando certa quantidade de elétrons for acumulada próximo do substrato sob a porta, uma região  $n$  é criada. Com os elétrons atraídos, um canal é formado circulando corrente do dreno para a fonte (SEDRA, 2007).

Pode induzir o canal aplicando uma tensão positiva entre o dreno e a fonte onde é representado por  $V_{ds}$ , com isso, a corrente irá percorrer do dreno para a fonte. Ao aumentar a tensão entre a porta e o dreno, o canal entre a fonte e o dreno ao decorrer do tempo seu canal irá se diminuir ao ponto de não passar mais corrente, sendo assim, o canal está sendo estrangulado (SEDRA, 2007).

Ao adquirir tensão o MOSFET pode operar em três regiões: região de corte, região de triodo e região de saturação. O transistor opera como uma porta (transistor ligado ou desligado) quando estiver na região de corte ou triodo e quando operar na região de saturação como fonte de corrente controlado por tensão conforme a Figura 11 (SEDRA, 2007).

**Figura 11:** Região de Triodo e Saturação.



**Fonte:** Modificado de: SEDRA (2007).

Com a tensão aplicada, dependendo do valor utilizado pode-se encontrar em uma das regiões descritas na Figura 7, caso ocorra um aumento muito elevado do  $V_{ds}$ , o canal no transistor não tende a crescer mais, assim, se aumentar o valor o canal não irá ser afetado consideravelmente (SEDRA, 2007). Para encontrar a corrente  $i_d$  na região de triodo, o tamanho do transistor é levado em conta com uma relação de  $W/L$ , como mostra na equação:

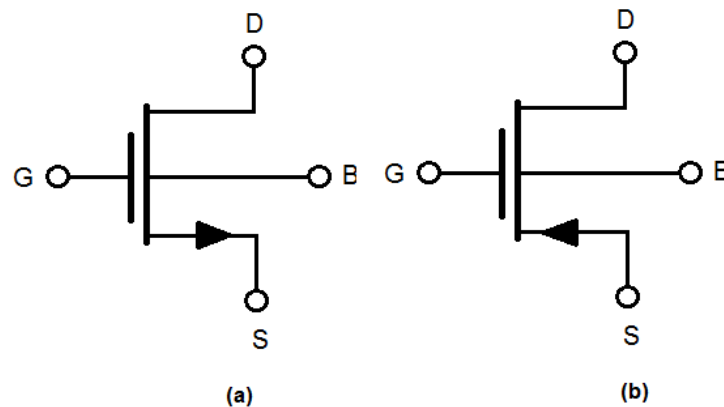
$$i_d = \frac{1}{2} \mu_n C_{ox} \left( \frac{W}{L} \right) (V_{gs} - V_t)^2 \quad (1).$$

A razão entre  $W$  e  $L$  é conhecida como razão de aspecto do transistor, onde o  $L$  determina a tecnologia utilizada (SEDRA, 2007).

### 3.1 Complementary Metal-Oxide-Semiconductor (CMOS)

A tecnologia CMOS é utilizada nos circuitos digitais, a qual engloba elementos de porta digitais. A lógica da tecnologia é a utilização de pares complementares do tipo  $p$  e de tipo  $n$ . Em cada tipo existe um caso específico, no caso do tipo  $p$  a corrente entra pelo terminal da fonte e sai pelo dreno e no tipo  $n$  ocorre o oposto, como pode-se observar na Figura 12.

**Figura 12:** (a) Símbolo do NMOS (b) Símbolo de PMOS.

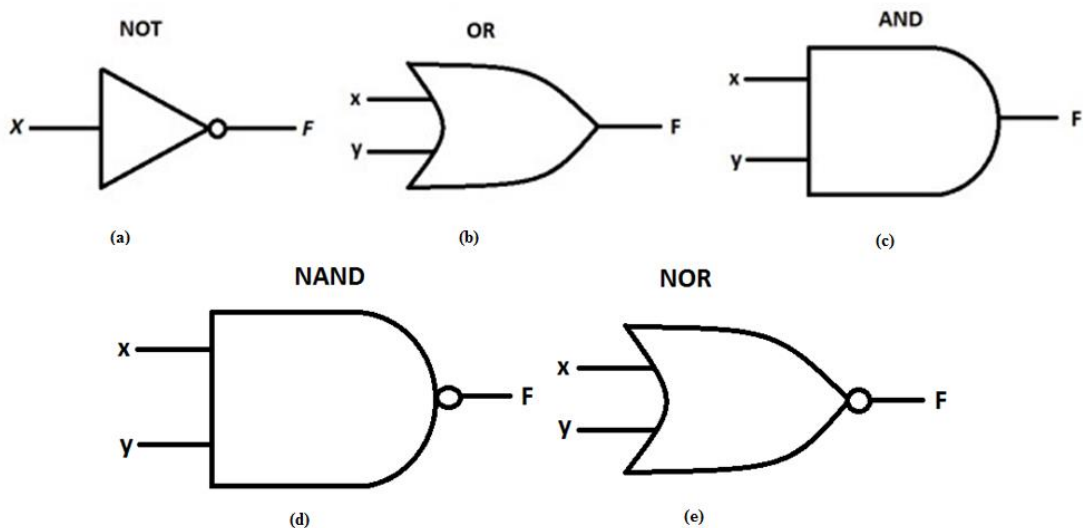


**Fonte:** Vahid (2008).

### 3.2 PORTAS LÓGICAS

Uma das utilizações do CMOS são com portas lógicas: NOT, OR, NOR, AND, NAND, XOR e XNOR, sendo que os transistores se comportam como chave, utilizando para obter saídas lógicas, onde as topologias são apresentadas na Figura 13.

**Figura 13:** (a) Porta lógica NOT, (b) Porta Lógica OR, (c) Porta lógica AND, (d) Porta Lógica NAND e (e) Porta Lógica NOR.



**Fonte:** Vahid (2008).

A Figura 13 apresenta a simbologia das portas lógicas. A porta NOT se comporta como um inversor, ou seja, sua saída será oposta à sua entrada. Na porta lógica OR o resultado será '1' lógico quando no mínimo uma das entradas for 1 lógico logo sua saída

também será ‘1’. A porta AND ocorre com a saída em ‘1’ lógico quando as duas entradas forem ‘1’. A porta NAND e NOR são o inverso das portas AND e OR, respectivamente (VAHID, 2008).

Na Tabela 2 apresenta as tabelas verdade das portas lógicas AND, NAND, NOR, OR, XOR e XNOR.

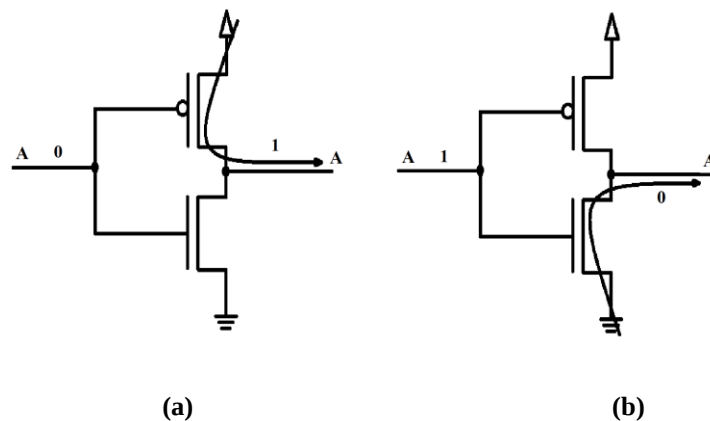
**Tabela 2:** tabela verdade das portas lógicas AND, NAND, OR, NOR, XOR e XNOR.

| A | B | AND | NAND | OR | NOR | XOR | XNOR |
|---|---|-----|------|----|-----|-----|------|
| 0 | 0 | 0   | 1    | 0  | 1   | 0   | 1    |
| 0 | 1 | 0   | 1    | 1  | 0   | 1   | 0    |
| 1 | 0 | 0   | 1    | 1  | 0   | 1   | 0    |
| 1 | 1 | 1   | 0    | 1  | 0   | 0   | 1    |

Fonte: Modificado de: (VAHID, 2008).

Quando as portas lógicas são descritas em forma de transistores observa-se como a corrente passa por dentro e como se comporta, o primeiro caso é com a porta lógica NOR, como mostra a Figura 14.

**Figura 14:** (a) Porta Lógica NOT com 0 na entrada e (b) Porta Lógica NOT com 1 na entrada.

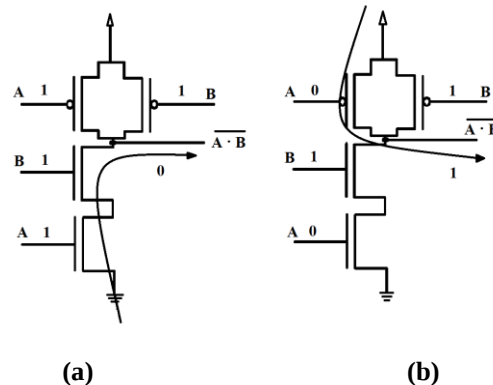


Fonte: Vahid (2008).

Conforme a Figura 14, observa-se que quando a entrada “A” do circuito for ‘0’ (tensão igual a zero), na região onde se encontra o PMOS a tensão que passa é  $V_{DD}$  se encontra com o valor lógico 1 e passa para saída do circuito e quando a sua entrada for “alta” ou 1 lógico sua saída será  $V_{SS}$  será “baixa” ou zero lógico (VAHID, 2008).

O método de funcionamento da porta NAND pode utilizar a mesma lógica com as demais, como mostra a Figura 15.

**Figura 15:** (Porta Lógica NAND com 1 nas entradas e (b) Porta Lógica NAND com umas das entradas com zero.



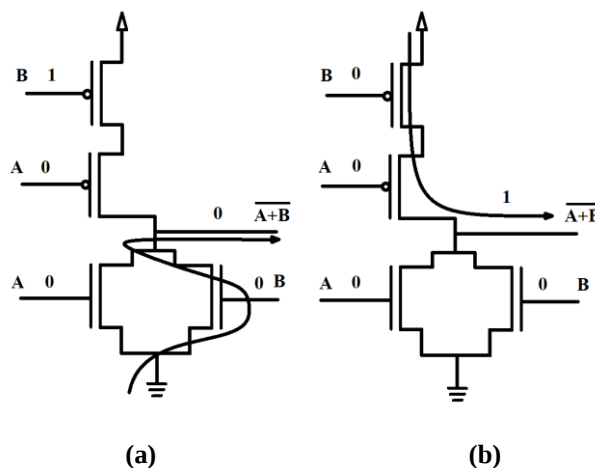
Fonte: Vahid (2008).

Conforme a Figura 15(a) demonstra que se todas as entradas forem '1', então, sua saída também será um e a tensão percorre pelos dois transistores do tipo NMOS e na Figura 15(b) demonstra que se caso uma das entradas for '0' então o resultado é '0' e a tensão percorrida é outra no circuito (VAHID, 2008).

Quando se aplica a porta lógica AND com um circuito somente de transistores o caso é aplicado com o circuito conforme mostra a Figura 15 (a) e 15 (b) onde na saída adiciona-se um inversor conforme a Figura 14.

Outro circuito com transistores com aplicação em portas lógicas é a OR, utiliza-se um total de 4 transistores, dois PMOS e dois NMOS, conforme mostra a Figura 16.

**Figura 16:** (a) Porta Lógica NOR com uma entrada 1 e (b) Porta Lógica com todas as entradas zeros.



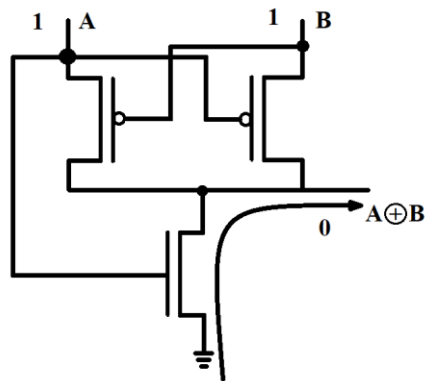
Fonte: Vahid (2008).

Na Figura 16(a) quando uma das entradas for '1', então, sua saída terá o mesmo valor e observa-se que o caminho percorrido é diferente quando todas as entradas forem zero conforme mostrado na Figura 16(b).

Quando se trata da porta OR, adiciona-se um inversor para o resultado ser correto com a porta lógica.

A porta lógica XOR existe vários métodos propostos, um deles é a utilização de somente 3 transistores, como mostra a Figura 17.

**Figura 17:** Porta Lógica XOR com 1 nas entradas.



**Fonte:** KUMAR e PANDEY (2011).

De acordo com a Figura 17 quando as entradas forem '1' ou '0' sua saída será zero, fazendo com que a tensão seja percorrida pelo NMOS saindo de  $V_{ss}$ . Quando for para projetar o circuito XNOR adiciona-se um inversor na saída (KUMAR; PANDEY, 2011).

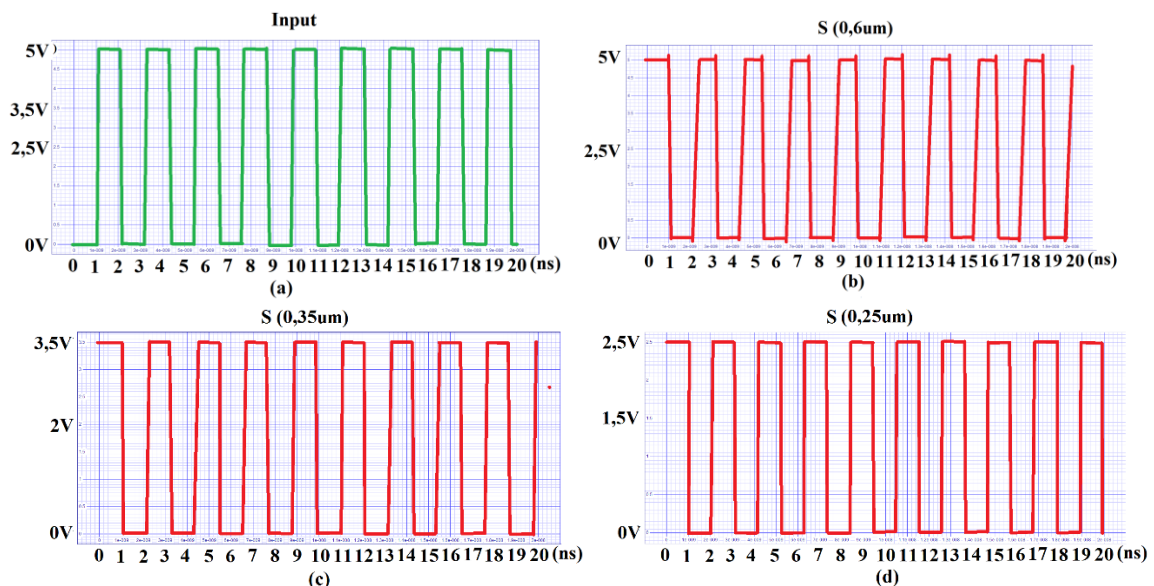
#### 4. RESULTADOS E DISCUSSÕES

Neste capítulo, serão apresentados os resultados obtidos, mostrando o comportamento de cada porta lógica padrão e otimizada. Foram analisadas seu tempo de resposta de propagação nas bordas de subida e descida em diferentes tecnologias, sendo elas, 0,25  $\mu\text{m}$ , 0,35  $\mu\text{m}$  e 0,6  $\mu\text{m}$  e utilizando a largura  $W$  e polarizando as entradas de cada porta lógica de 3 $\mu\text{m}$  com 2,5 V, 2 $\mu\text{m}$  com 3,5 V e 1,25  $\mu\text{m}$  com 5 V respectivamente, onde, para cada tecnologia o próprio *software* automaticamente estipulou o  $W$  e o valor de polarização. Utilizando duas etapas de projeto para construção de um CI, no SPICE e o *layout* da porta lógica e realizar a comparação dos resultados obtidos em cada uma delas.

##### 4.1 Porta Lógica NOT

Primeiramente foi realizado a implementação SPICE da porta lógica NOT demonstrada por (VAHID, 2008), em que, a porta é padronizada, sem a existência de uma porta lógica otimizada, sendo o único caso. As entradas nos circuitos foram iguais em todas as tecnologias implementadas conforme mostra a Figura 18.

**Figura 18:** Resultados da porta lógica NOT, (a) entrada em todas as tecnologias, (b) saída com tecnologia de 0,6 $\mu\text{m}$ , (c) saída com tecnologia de 0,35 $\mu\text{m}$  e (d) saída com tecnologia de 0,25 $\mu\text{m}$ .



Fonte: O autor (2017).

Observa-se nas Figuras 18 (b), (c) e (d), suas saídas correspondem com a tabela-verdade descrita pela porta lógica NOT, ocorreu o mesmo, quando a entrada apresentada na Figura 18 (a) for '1' a saída será '0'. As tensões de polarizaram ocorrem entre 5 V e 2,5 V conforme apresentada na Figura 18 (a)

Na tabela 3, está à organização de todos os atrasos com a implementação SPICE nas diversas tecnologias.

**Tabela 3:** Tempo de atraso da porta lógica NOT.

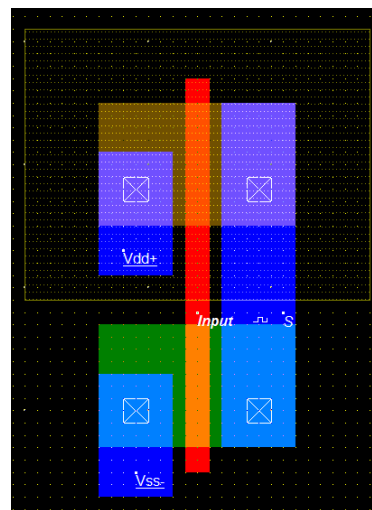
| <b>Tecnologia</b>                    | <b>Atraso</b> |
|--------------------------------------|---------------|
| <b>0,6 <math>\mu\text{m}</math></b>  | 39 ps/136 ps  |
| <b>0,35 <math>\mu\text{m}</math></b> | 17 ps/72 ps   |
| <b>0,25 <math>\mu\text{m}</math></b> | 5 ps/22 ps    |

**Fonte:** O autor (2017).

Na tabela 3 apresentam os atrasos em cada tecnologia, os primeiros valores correspondem aos atrasos na borda de subida e os seguintes na borda de descida para cada caso. O atraso sempre foi menor na borda de subida do que na borda de descida para todos os casos. Um ponto importante é a diminuição do tempo de resposta ao aumentar a tecnologia, sendo assim, a utilização de menor espaço de *chip* se resultou com o melhor resultado e por padrão do *software*, também se apresenta com o menor consumo de potência.

Logo após a simulação em *SPICE*, foi realizado o *Layout* da porta lógica utilizando o *software* MICROWIND, construído com base na Figura 14(a) e (b), mas com algumas mudanças de posicionamento.

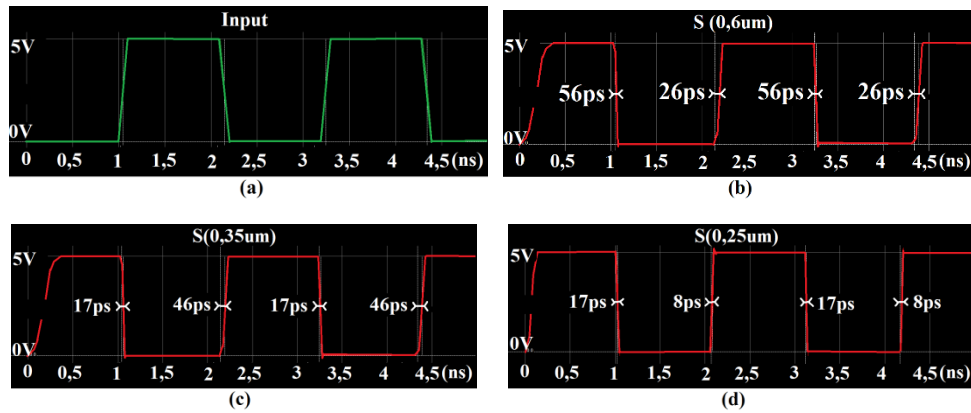
O *layout* é apresentado na Figura 22.

**Figura 19:** Layout da porta lógica NOT.

**Fonte:** O autor (2017).

Na Figura 19, observam-se as cores dos *layers* representando um componente do transistor em que, azul é o metal, o vermelho o polisilício, o marrom a difusão P+ e o verde a difusão N+. Adicionando uma tensão no dreno do PMOS, aterrando a fonte de NMOS, gerou-se uma entrada chamada de “*input*” e a saída do circuito “*S*”. Para todas as tecnologias foram utilizadas as mesmas entradas com tensões diferentes, mas com a mesma forma de onda sendo a mesma e o *layout* igual para todos. Apresenta-se na Figura 20 (a) a (d) os resultados dos atrasos do *layout* da porta lógica NOT.

**Figura 20:** Resultados do layout da porta lógica NOT, (a) entrada, (b) saída com a tecnologia de 0,6  $\mu\text{m}$ , (c) saída com a tecnologia de 0,35  $\mu\text{m}$  e (d) saída com a tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

A partir da Figura 20 (a) a (d), pode-se perceber nos resultados encontrados que com o aumento da tecnologia o atraso da porta lógica foi menor para todos os casos. Comparando com a implementação SPICE, constata-se que o circuito em *layout* obteve o desempenho muito superior. A Tabela 4 apresenta todos os resultados obtidos na implementação SPICE e no *layout* com sendo o primeiro valor o atraso na borda de subida e o segundo valor da borda de descida.

**Tabela 4:** Organização dos atrasos da porta lógica NOT em diferentes tecnologias.

| Tecnologia         | Implementação SPICE | <i>Layout</i>      |
|--------------------|---------------------|--------------------|
| 0,6 $\mu\text{m}$  | <b>39 ps/136 ps</b> | <b>56 ps/ 26ps</b> |
| 0,35 $\mu\text{m}$ | <b>17 ps/72 ps</b>  | <b>46 ps/17 ps</b> |
| 0,25 $\mu\text{m}$ | <b>5 ps/22 ps</b>   | <b>17 ps/8 ps</b>  |

Fonte: O autor (2017).

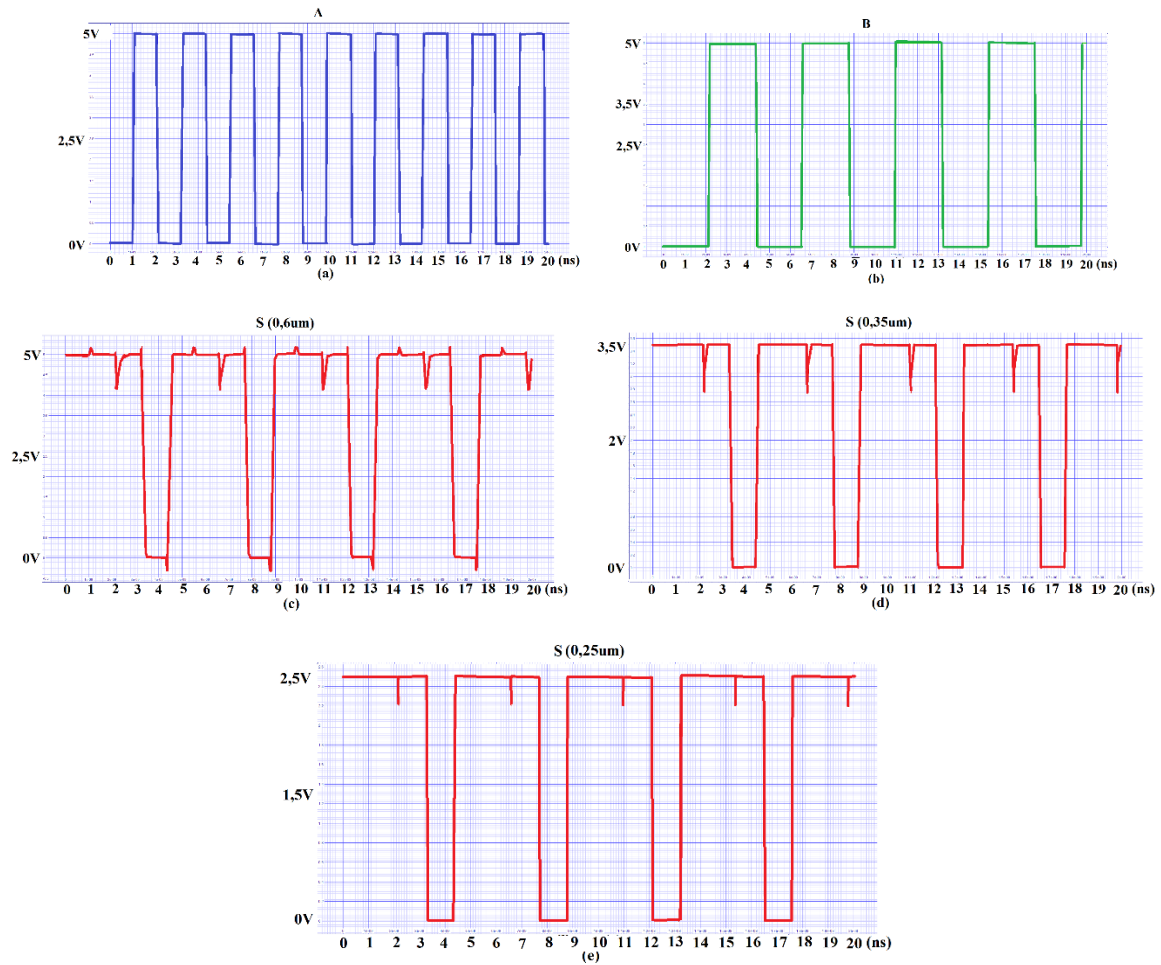
Na Tabela 4 são apresentados os dois métodos utilizados com seus atrasos em todas as tecnologias utilizadas. O *layout* da porta lógica se mostrou mais eficiente que o SPICE, porém, se ao comparar somente entre borda de subida e depois borda de descida, a borda de subida no modelo SPICE se encontrou mais eficiente em relação ao *layout*, mas ocorreu o oposto na borda de descida com larga diferença na tecnologia de 0,6  $\mu\text{m}$ .

## 4.2 Porta Lógica NAND

A porta lógica NAND possui a padrão apresentada por (VAHID, 2008) conforme mostra a Figura 15 (a) e (b) e também possui com quantidade reduzida de transistores apresentado por (JUNIOR; *et al.*2013) conforma mostra a Figura 9(b).

A Figura 21 (a) a (e) apresenta os resultados obtidos na implementação SPICE nas diferentes tecnologias com a porta lógica padrão.

**Figura 21:** Resultados obtidos da porta lógica padrão NAND, (a) e (b) entradas, (c) saída com a tecnologia de 0,6  $\mu\text{m}$ , (d) saída com a tecnologia de 0,35  $\mu\text{m}$  e (e) saída com a tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O Autor (2017).

Analisando a Figura 21 (a), (b), (c), (d) e (e), de modo geral, de acordo com a porta lógica NAND os valores inseridos terão um resultado '0' quando as duas entradas também forem '1'. As saídas geradas ocorrem, pequenas oscilações quando ocorre variação nas entradas e ao aumentar a tecnologia estas variações diminuem.

Na tabela 5, está organizado todos os atrasos com a implementação SPICE nas diversas tecnologias da porta lógica padrão.

**Tabela 5:** Atrasos da porta lógica NAND padrão em implementação SPICE.

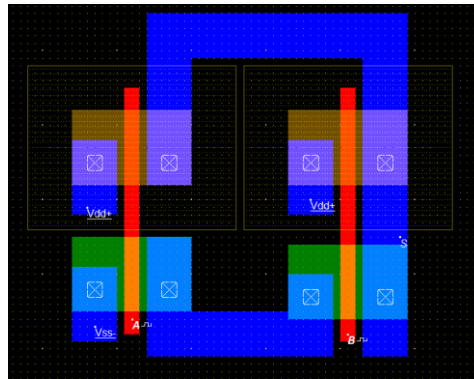
| Tecnologia         | Atraso       |
|--------------------|--------------|
| 0,6 $\mu\text{m}$  | 109 ps/87 ps |
| 0,35 $\mu\text{m}$ | 48 ps/43 ps  |
| 0,25 $\mu\text{m}$ | 15 ps/19 ps  |

Fonte: O autor (2017).

Os atrasos resultantes no SPICE, ao aumento da tecnologia seu tempo de resposta foi menor, porém, diferentemente dos resultados encontrados no inversor, na borda de subida se encontrou com menor eficiência para dois dos três casos e principalmente para a menor tecnologia com a diferença de atraso entre a borda de subida com a de descida de 22 ps.

Logo após outro método utilizado para a construção do CI é o *layout*, onde foi implementada com a mesma tecnologia utilizada na implementação SPICE.

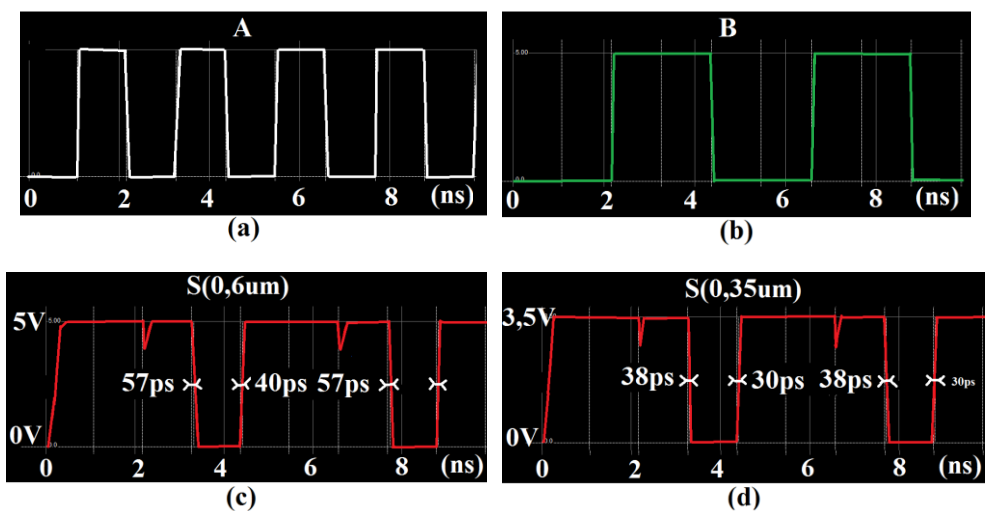
**Figura 22:** Layout da porta lógica NAND.

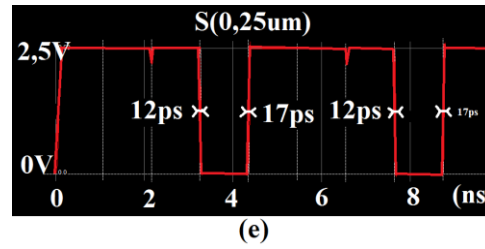


**Fonte:** O autor (2017).

O *layout* apresentado na Figura 22, foi realizado baseado na Figura 15, o qual foi utilizado um total de 4 transistores, dois PMOS e dois NMOS, e foram reagrupados para uma melhor utilização do polisilício. É possível observar os resultados na Figura 26.

**Figura 23:** Resultados da porta lógica NAND padrão, (a) e (b) entradas, (c) saída com tecnologia 0,6  $\mu\text{m}$ , (d) saída com tecnologia 0,35  $\mu\text{m}$  e (e) saída com tecnologia 0,25  $\mu\text{m}$ .





Fonte: O autor (2017).

O mesmo caso ocorreu para a porta lógica NAND, quando aumenta a tecnologia o tempo de atraso foi menor e também foi menor em relação ao modelo SPICE. As saídas geradas no *layout* ocorram com oscilações menores principalmente na menor tecnologia. Na tabela 6 se encontra organizado todos os atrasos utilizando os dois métodos.

**Tabela 6:** Organização dos atrasos da porta lógica NAND em diferentes tecnologias.

| Tecnologia   | Implementação SPICE | <i>Layout</i>      |
|--------------|---------------------|--------------------|
| 0,6 $\mu$ m  | <b>109 ps/87 ps</b> | <b>57 ps/40 ps</b> |
| 0,35 $\mu$ m | <b>48 ps/43 ps</b>  | <b>38 ps/30 ps</b> |
| 0,25 $\mu$ m | <b>15 ps/19 ps</b>  | <b>17 ps/12 ps</b> |

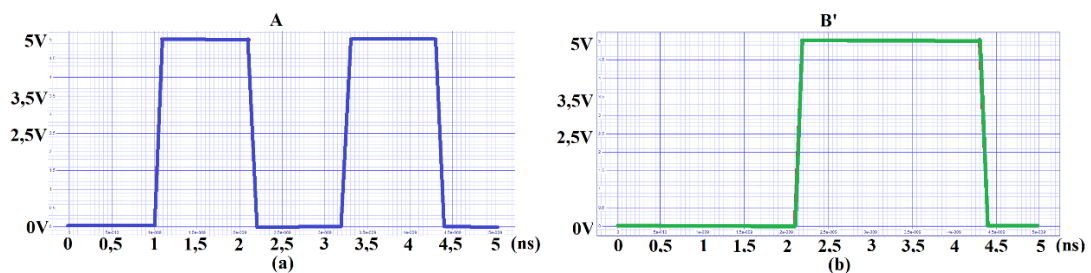
Fonte: O autor (2017).

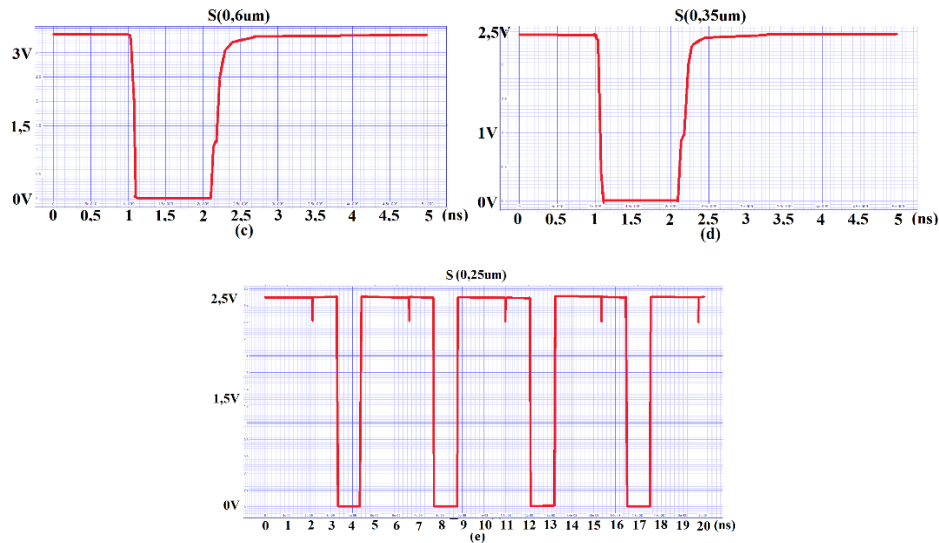
Os dois métodos utilizados na porta padrão NAND, somente em um caso específico a implementação SPICE se mostrou eficiente quando ocorre uma borda de subida com diferença de 2 ps em relação ao *layout*. Todos os outros resultados coletados o *layout* se mostrou com mais eficiência.

Além da porta lógica padrão, se encontram métodos utilizados para a diminuição de transistores com o intuito de otimizar os circuitos com a utilização de espaço de chip menor.

Para as análises com a porta lógica otimizada, aplica o mesmo procedimento, assim, a Figura 24 apresenta os resultados obtidos na implementação SPICE.

**Figura 24:** Resultados da porta lógica NAND otimizada, (a) e (b) entradas para todas as tecnologias, (c) saída com transistores de 0,6 $\mu$ m, (d) saída com transistores de 0,35 $\mu$ m e (e) saída com transistores de 0,25 $\mu$ m.



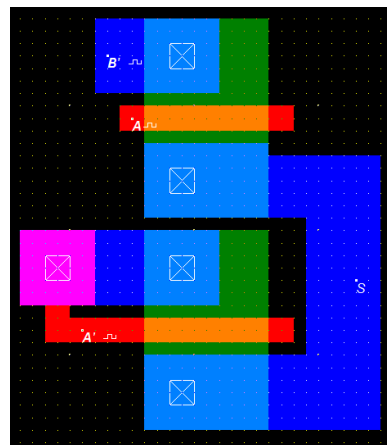


**Fonte:** O autor (2017).

As saídas resultantes da porta lógica NAND ocorrem uma diminuição do valor na saída do circuito, em que os circuitos propostos não conseguem propor uma saída completa, quando a tensão de entrada é igual à da saída, o fato de ocorrer esta diferença é o transistor NMOS não consegue conduzir bem o '1' lógico, onde o PMOS consegue (BUTZEN, 2013).

Na Figura 29 apresenta-se o *layout* da porta lógica NAND otimizada.

**Figura 25:**Layout da porta lógica NAND otimizada.

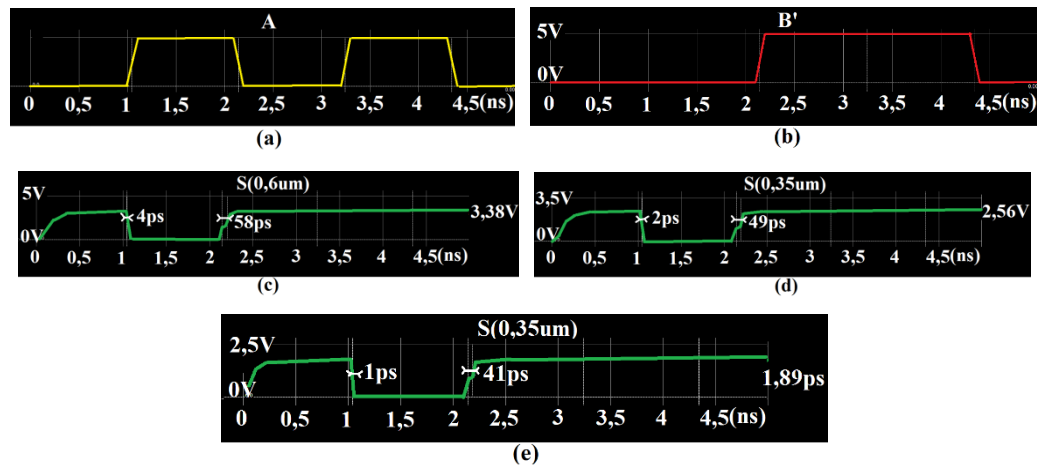


**Fonte:** O autor (2017).

Com a utilização de somente dois transistores NMOS, as entradas são também as polarizações no Dreno e na Fonte dos transistores PMOS e NMOS respectivamente. Se caso ocorra a implementação da porta lógica o projetista tem que ter em mente que antes de polarizar as entradas deve se certificar que esteja invertida.

Na Figura 26 (a), (b), (c), (d) e (e), apresentam os resultados com o *layout* da porta lógica NAND somente com a utilização de 2 transistores.

**Figura 26:** Resultados obtidos do layout da porta lógica NAND com 2 transistores, (a) entrada A, (b) entrada B invertida, (c) saída com tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

As saídas adequadas observam-se um atraso maior na borda de subida, porém, na borda de descida o atraso foi muito pequeno e também quando o resultado é '1' lógico a tensão máxima não chega à polarização utilizada em casa entrada aplicada em todas as análises.

Na Tabela 7 são apresentados todos os atrasos nos dois métodos utilizados, SPICE e o *layout*.

**Tabela 7:** Organização dos atrasos utilizando os dois métodos com a porta lógica NAND com 2 transistores.

| Tecnologia         | Implementação SPICE | <i>Layout</i>     |
|--------------------|---------------------|-------------------|
| 0,6 $\mu\text{m}$  | <b>70 ps/10 ps</b>  | <b>4 ps/58 ps</b> |
| 0,35 $\mu\text{m}$ | <b>46 ps/10 ps</b>  | <b>2 ps/49 ps</b> |
| 0,25 $\mu\text{m}$ | <b>44 ps/4 ps</b>   | <b>1 ps/41 ps</b> |

Fonte: O autor (2017).

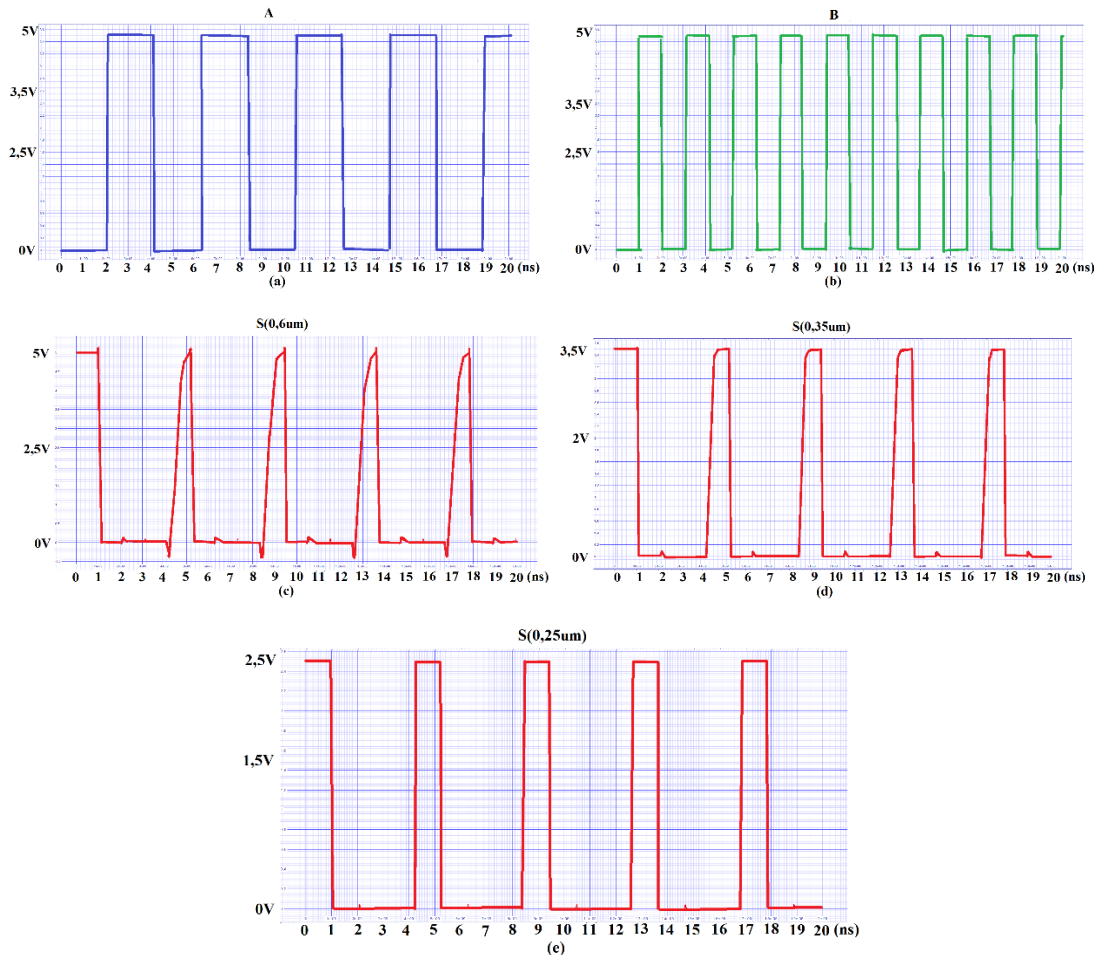
Os atrasos apresentam um padrão, na implementação SPICE o atraso na borda de descida é consideravelmente menor em relação à de subida e o oposto ocorre com o *layout* da porta lógica. Em comparação entre os dois métodos ocorreram um melhor desempenho no SPICE quando analisado as bordas de descidas com tempos de atrasos pequenos, porém, o atraso na borda de subida é muito superior ao *layout*.

### 4.3 Porta Lógica NOR

O mesmo método se utiliza para o caso da porta lógica NOR padrão baseado na Figura 16(a) e (b) e posteriormente a utilização da porta lógica NOR otimizada apresentada na Figura 4 (b).

Com a porta lógica padrão realizando a implementação SPICE, obteve os seguintes resultados conforme mostra a Figura 27 em 3 tecnologias distintas.

**Figura 27:** Resultados com a implementação SPICE para a porta lógica NOR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



**Fonte:** O autor (2017).

Os resultados obtidos com a porta lógica padrão se diferenciou a onda de propagação ao aumentar a tecnologia, ao utilizar a menor dela, a onda resultante se demonstra um atraso grande até chegar a tensão máxima ou valor lógico '1', quando se aumentou a tecnologia obteve um atraso consideravelmente menor mostrado na Tabela 8.

Na tabela 8 esta organização todos os atrasos com a implementação SPICE nas diversas tecnologias.

**Tabela 8:** Tempo de atraso da porta lógica NOR.

| Tecnologia        | Atraso       |
|-------------------|--------------|
| 0,6 $\mu\text{m}$ | 374 ps/54 ps |

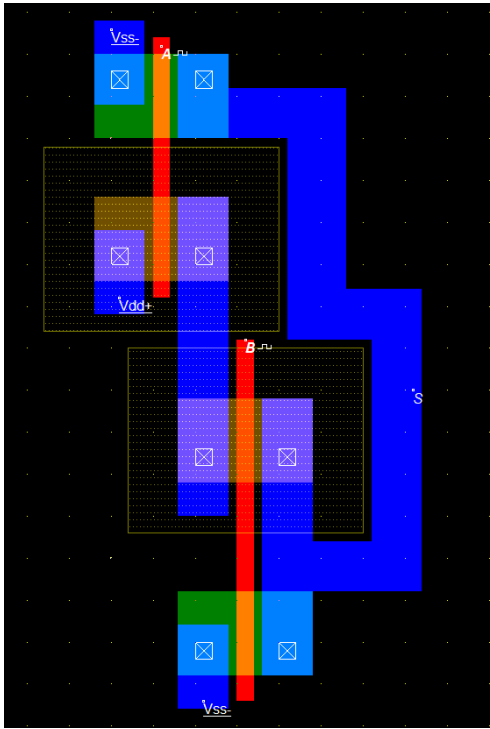
|        |              |
|--------|--------------|
| 0,35µm | 180 ps/28 ps |
| 0,25µm | 49 ps/14 ps  |

Fonte: O autor (2017).

Os atrasos em diferentes tecnologias mostram o porquê da onda com a menor tecnologia se encontrar da forma que se resultou na Figura 27 (c), obtendo um atraso na borda de subida muito superior do que na borda de descida com diferença de 320 ps. O mesmo caso ocorre novamente para a porta lógica NAND quando o aumento da tecnologia seu tempo de atraso é reduzido.

Logo após foi realizado o *layout* da porta lógica como pode ser observado da Figura 28.

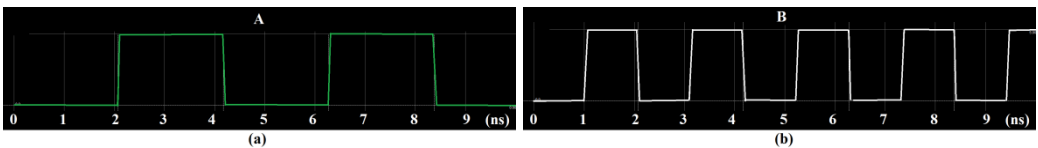
Figura 28:Layout da porta lógica NOR.

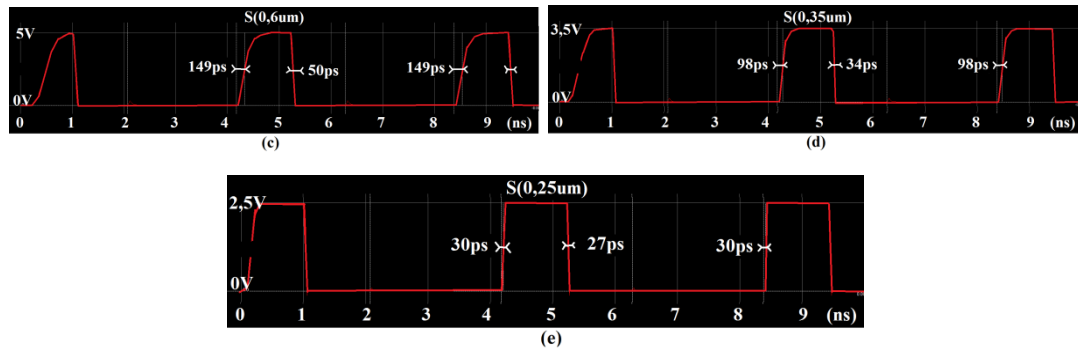


Fonte: O autor (2017).

Com a utilização de 4 transistores, sendo 2 NMOS e 2 PMOS, onde o *layout* foi realizado com a utilização mínima de polisício e mais de metal no circuito, então obtivemos os seguintes resultados como mostra a Figura 29.

Figura 29: Resultados da porta lógica NOR em layout, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 µm, (d) saída com tecnologia de 0,35 µm e (e) saída com tecnologia de 0,25 µm.





Fonte: O autor (2017).

Os resultados obtidos ocorrem o mesmo com a tabela verdade da porta NOR, quando as duas entradas foram '0' lógico a sua saída se resulta com '1' lógico e para os outros casos o resultado da saída será '0' lógico.

Na tabela 9, está organizado todos os resultados obtidos pela implementação SPICE e em *layout*.

**Tabela 9:** Organização dos atrasos da porta lógica NOR com implementação SPICE.

| Tecnologia   | Implementação SPICE | <i>Layout</i>       |
|--------------|---------------------|---------------------|
| 0,6 $\mu$ m  | <b>374 ps/54 ps</b> | <b>149 ps/50 ps</b> |
| 0,35 $\mu$ m | <b>180 ps/28 ps</b> | <b>108 ps/34 ps</b> |
| 0,25 $\mu$ m | <b>49 ps/14 ps</b>  | <b>30 ps/27 ps</b>  |

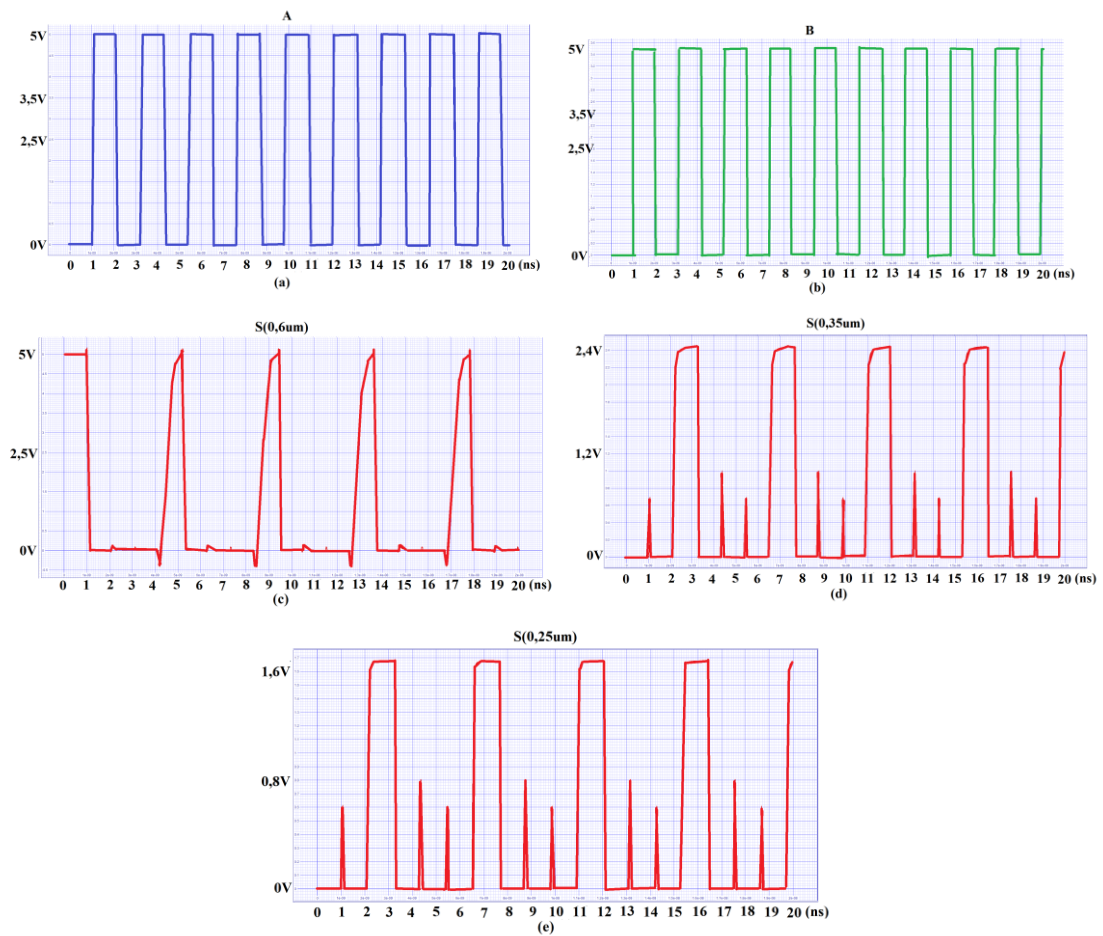
Fonte: O autor (2017).

De acordo com a Tabela 9, os atrasos do *layout* na maioria dos casos obtiveram um melhor desempenho. Somente em dois casos se obteve atraso maior em relação ao SPICE com a tecnologia 0,35  $\mu$ m na borda de descida e com a tecnologia de 0,25  $\mu$ m também na borda de descida.

A porta lógica padrão se utilizou 4 transistores, existem circuitos otimizados com a utilização de poucos transistores. Com base no circuito otimizado da Figura 4 (b) se obteve os seguintes resultados com a implementação SPICE na Figura 33.

Além da porta lógica padrão existe porta lógicas com quantidades reduzidas de transistores, o próximo circuito implementado é composto por 2 transistores NMOS e com a implementação SPICE obteve os seguintes resultados.

**Figura 30:** Resultados da implementação SPICE da porta lógica com 2 transistores, (a) entrada A, (b) entrada B invertida, (c) saída com tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



**Fonte:** O autor (2017).

Os resultados obtidos condizem com a tabela verdade da porta lógica NOR quando as entradas forem ‘0’ lógico a saída será ‘1’ lógico.

Os atrasos da porta lógica NOR com 2 transistores estão conforme a Tabela 10.

**Tabela 10 :** Atrasos obtidos na implementação SPICE da porta lógica NOR com 2 transistores.

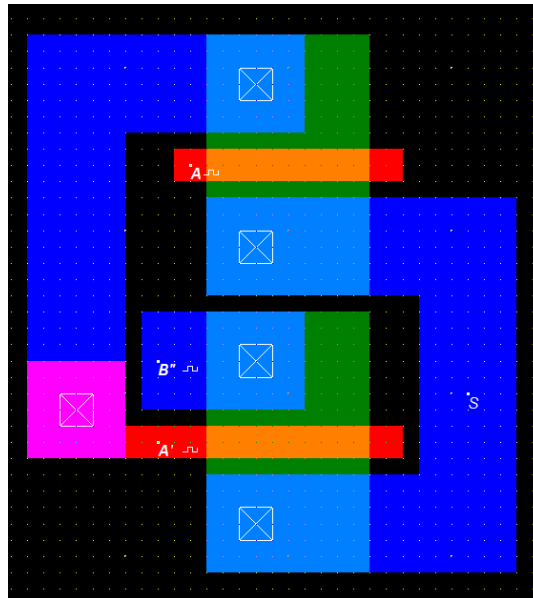
| Tecnologia                          | Atraso      |
|-------------------------------------|-------------|
| <b>0,6<math>\mu\text{m}</math></b>  | 71 ps/43 ps |
| <b>0,35<math>\mu\text{m}</math></b> | 56 ps/34 ps |
| <b>0,25<math>\mu\text{m}</math></b> | 42 ps/20 ps |

**Fonte:** O autor (2017).

Com os atrasos com a porta lógica otimizada e comparando com a padrão, para a maioria dos casos se obteve atrasos menores na com 2 transistores, porém, o circuito implantado com consegue passar o ‘1’ lógico muito bem.

Na Figura 31 apresenta o *layout* da porta lógica NOR com 2 transistores NMOS.

**Figura 31:** Layout da porta lógica NOR com 2 transistores.

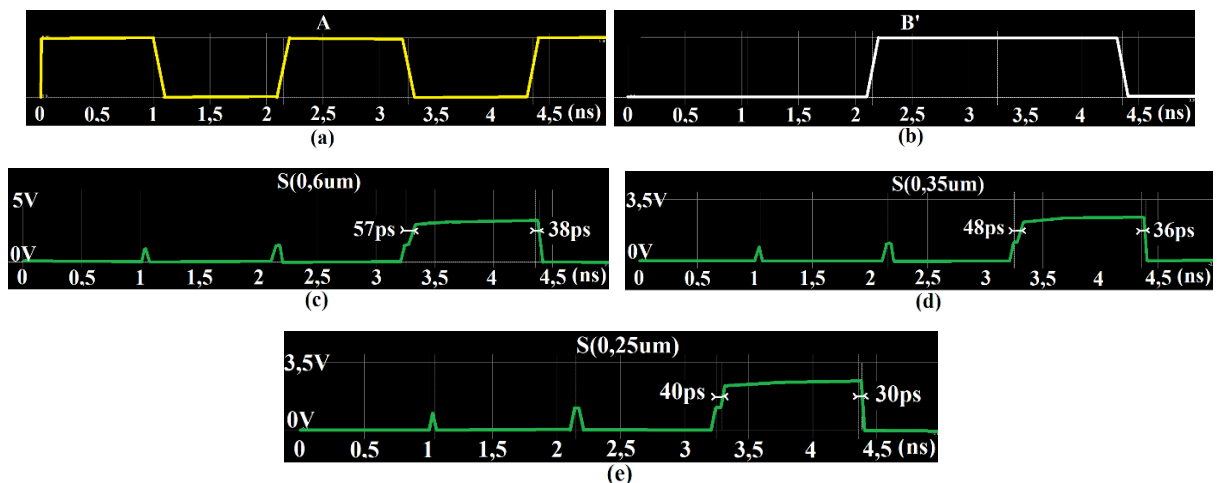


**Fonte:** O autor (2017).

O *layout* na Figura 31 apresenta as polarizações na fonte dos dois transistores sendo as entradas do circuito, onde são invertidas.

Na Figura 32, são apresentados os atrasos do *layout* da porta lógica NOR.

**Figura 32:** Resultados do layout da porta lógica NOR com 2 transistores, (a) entrada A, (b) entrada B invertida, (c) saída com tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



**Fonte:** O autor (2017).

Os resultados da porta lógica com dois transistores obtiveram resultados melhores para alguns casos, com a maior tecnologia de 0,25  $\mu\text{m}$  o *layout* da porta lógica padrão se mostrou mais eficiente e com tensão máxima, na tecnologia de 0,35  $\mu\text{m}$ , na borda de subida o *layout* otimizado se mostrou mais eficiente, porém na borda de descida a padrão é mais eficiente, mas a diferença entre a borda de subida e a borda de descida, a otimizada se mostra melhor.

Na Tabela 11 apresenta todos os resultados com a implementação SPICE e o *layout* da porta lógica NOR.

**Tabela 11:** Resultados obtidos da implementação SPICE e o layout da porta lógica NOR com 2 transistores.

| Tecnologia   | Implementação SPICE | Layout      |
|--------------|---------------------|-------------|
| 0,6 $\mu$ m  | 71 ps/43 ps         | 57 ps/38 ps |
| 0,35 $\mu$ m | 56 ps/34 ps         | 48 ps/36 ps |
| 0,25 $\mu$ m | 42 ps/20 ps         | 40 ps/30 ps |

Fonte: O autor (2017).

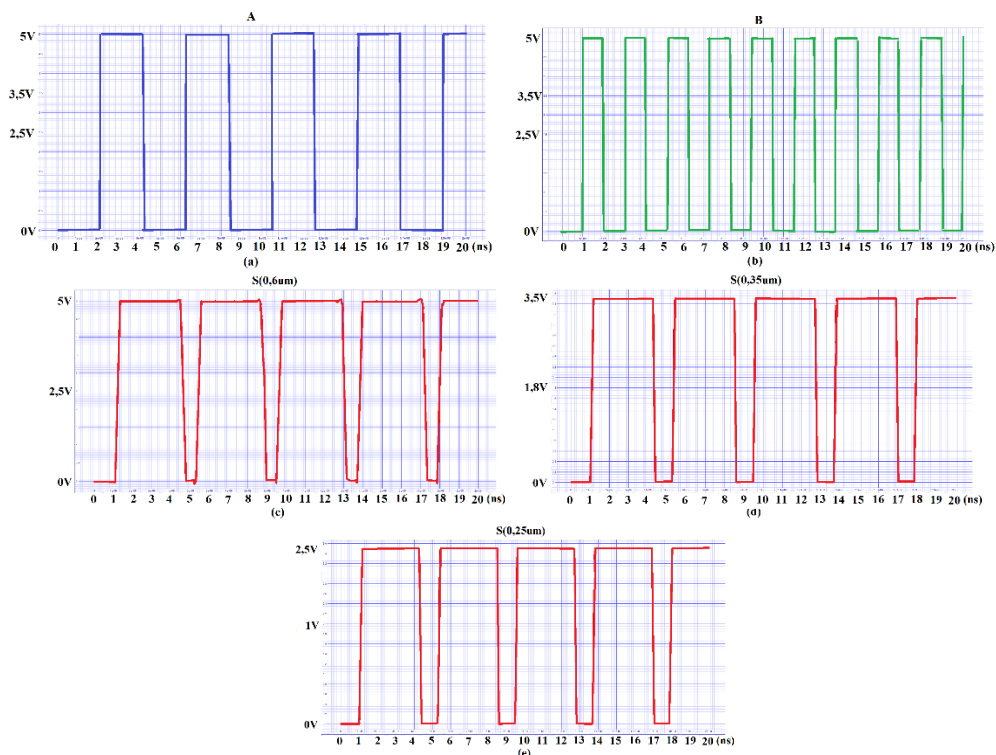
Na tabela 11, o *layout* se mostra mais eficiente do que a implementação SPICE, porém para dois casos na borda de descida o SPICE se mostrou melhor, com diferença de 2 ps na tecnologia de 0,35  $\mu$ m e de 10 ps para a tecnologia de 0,25  $\mu$ m.

#### 4.4 Porta Lógica OR

O método de obtenção dos resultados se fez conforme obtidos nas portas lógicas anteriores, com a porta lógica OR padrão e a porta lógica otimizada demonstrada na Figura 4(b) e 5 (a), respectivamente.

A Figura 33, os resultados em vermelho são com a tecnologia 0,6  $\mu$ m, com de 0,35  $\mu$ m e por último a de 0,25  $\mu$ m.

**Figura 33:** resultados obtidos da porta lógica padrão OR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6  $\mu$ m, (d) saídas com tecnologia de 0,35  $\mu$ m e (e) saída com tecnologia de 0,25  $\mu$ m.



Fonte: O autor (2017).

Os resultados obtidos condizem com a porta lógica OR que somente quando as duas entradas forem '0' lógico a saída "S" será '0' também.

Na tabela 12 esta organização todos os atrasos com a implementação SPICE nas diversas tecnologias.

**Tabela 12:** Tempo de atraso da porta lógica OR com implementação SPICE.

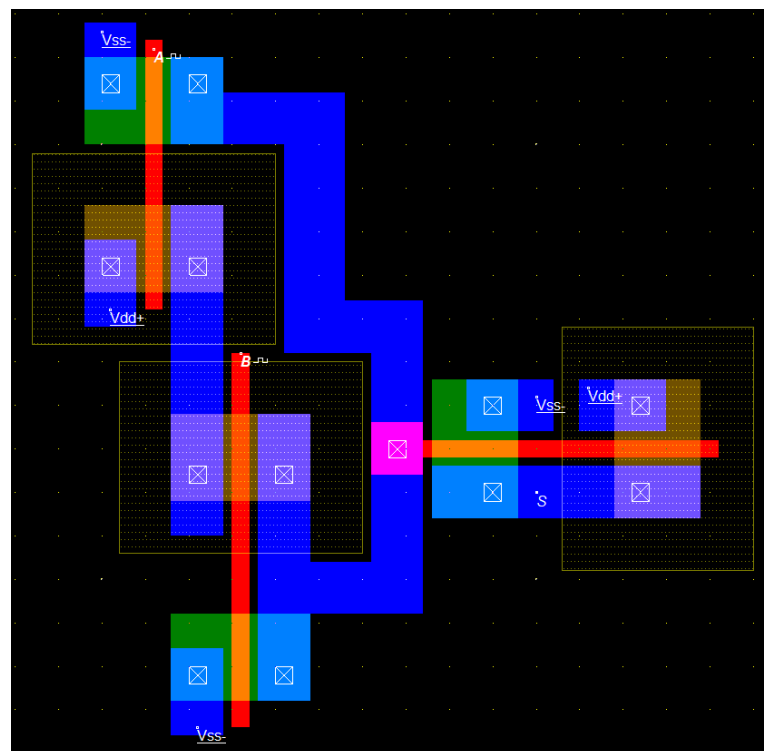
| Tecnologia   | Atraso        |
|--------------|---------------|
| 0,6 $\mu$ m  | 186 ps/105 ps |
| 0,35 $\mu$ m | 89 ps/70 ps   |
| 0,25 $\mu$ m | 30 ps/35ps    |

**Fonte:** O autor (2017).

Para todos os casos, de acordo com a Tabela 12 os atrasos são reduzidos ao ponto do aumento da tecnologia, com o melhor valor na borda de subida com 30ps.

Logo após foi realizado o *layout* do circuito com as 3 tecnologias desenvolvidos com a seguinte modelo. O *layout* demonstrado pela Figura 34, pode ser observado que metade é igual à Figura 28 e a outra metade é um inversor, onde existe uma ligação entre o metal que contém a saída dos 4 primeiros transistores com o polisilício, sendo a entrada para o inversor.

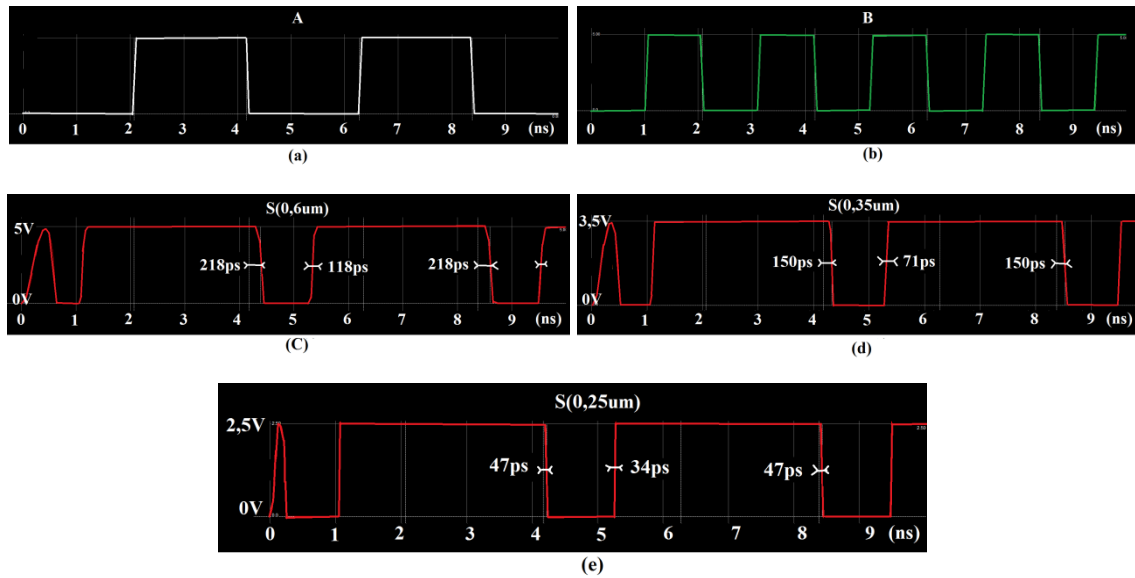
**Figura 34:** Layout da porta lógica OR.



**Fonte:** O autor (2017).

Os resultados com cada circuito foram com as mesmas entradas para todos os casos, conforme mostra a Figura 35.

**Figura 35:** Resultados da porta lógica OR padrão, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



**Fonte:** O autor (2017).

Com os resultados obtidos na Figura 35, observa-se uma redução nos atrasos ao aumentar a tecnologia da mesma forma que ocorreu com os outros casos. O *layout* da porta lógica padrão condiz com a sua tabela verdade, somente quando as entradas forem '0' a saída será a mesma.

A Tabela 13 está organizada com os atrasos por tecnologia e tipo de implementação.

**Tabela 13:** Organização dos atrasos da porta lógica OR em diferentes tecnologias.

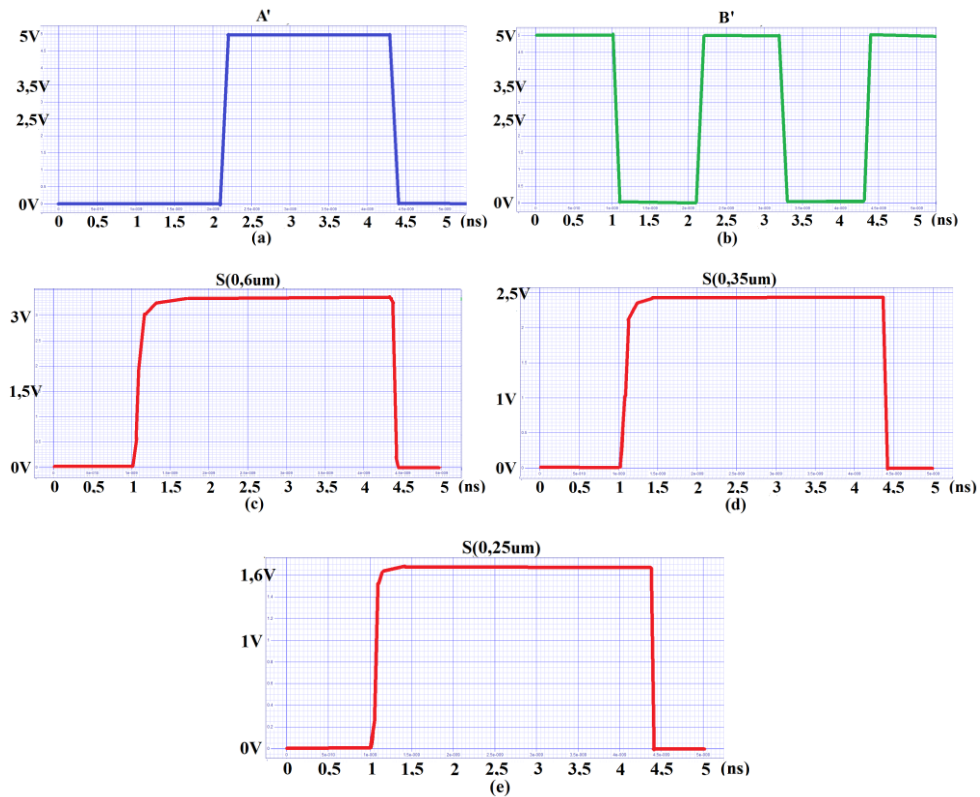
| Tecnologia         | Implementação SPICE | Layout              |
|--------------------|---------------------|---------------------|
| 0,6 $\mu\text{m}$  | <b>189 ps/105ps</b> | <b>118 ps/218ps</b> |
| 0,35 $\mu\text{m}$ | <b>89 ps/70ps</b>   | <b>71 ps/150ps</b>  |
| 0,25 $\mu\text{m}$ | <b>30 ps/35ps</b>   | <b>34 ps/47ps</b>   |

**Fonte:** O autor (2017).

Conforme apresentado na Tabela 13 na maioria dos casos a implementação SPICE obteve uma performance maior que o *layout* da porta lógica, com a maior diferença de 80 ps na borda de descida com a tecnologia de 0,35  $\mu\text{m}$ .

Além da porta lógica OR padrão, existem métodos otimizados com quantidade reduzida de transistores, com base na Figura 5 (a) onde se utiliza dois transistores NMOS foram obtidos os seguintes resultados com a implementação SPICE.

**Figura 36:** Resultados da porta lógica OR com 2 transistores, (a) entrada A', (b) entrada B', (c) saída com a tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

A porta lógica OR otimizada com a utilização de transistor NMOS se mostra de acordo com a tabela verdade, mas a polarização na saída não se mostra com polarização completa, como explicada anteriormente os transistores NMOS tem dificuldade de passar o '1' lógico.

A Tabela 14 mostra os atrasos resultante da porta lógica OR otimizada.

**Tabela 14:** Atrasos da porta lógica OR com 2 transistores utilizando o SPICE.

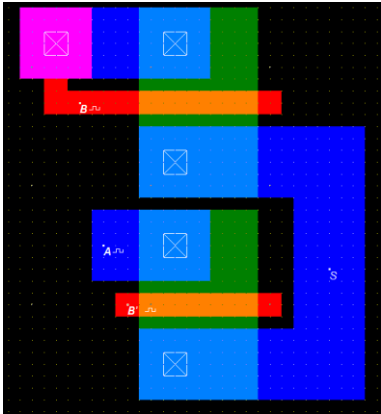
| Tecnologia                          | Atraso      |
|-------------------------------------|-------------|
| <b>0,6<math>\mu\text{m}</math></b>  | 52 ps/38 ps |
| <b>0,35<math>\mu\text{m}</math></b> | 70 ps/36 ps |
| <b>0,25<math>\mu\text{m}</math></b> | 41 ps/22 ps |

Fonte: O autor (2017).

Os atrasos obtidos com a porta lógica otimizada obtiveram resultados melhor que a porta lógica padrão, porém a polarização com o segundo circuito não foi completa para todas as tecnologias.

O layout da porta lógica OR com 2 transistores se projetou conforme mostra a Figura 37.

Figura 37: Layout da porta lógica OR com dois transistores.

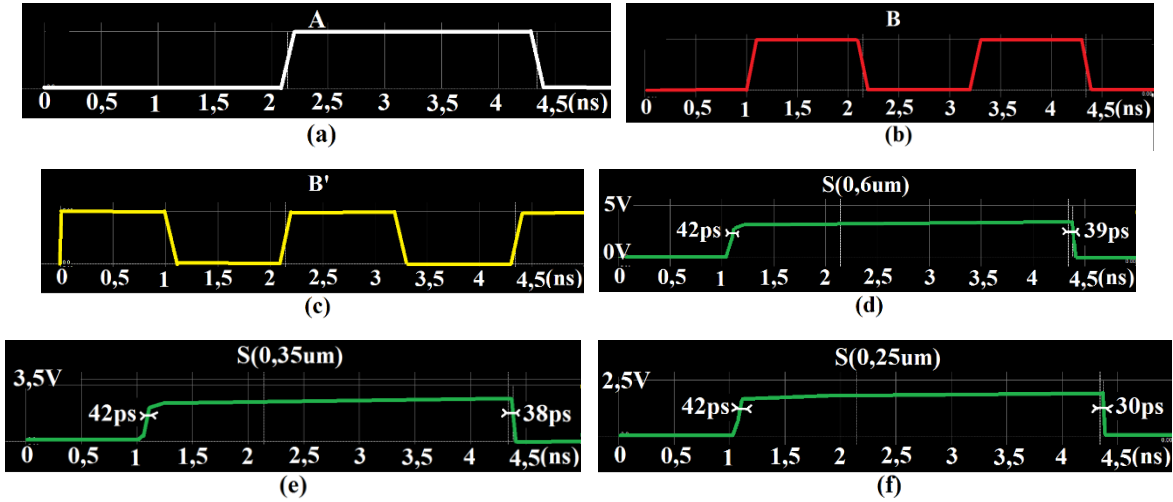


Fonte: O autor (2017).

Na Figura 37, é apresentado o *layout* da porta lógica OR com dois transistores NMOS, onde a fonte no lugar de polarizar com 0V, se polariza com a própria encontrada, no caso da OR, na fonte, se utiliza a entrada B e a entrada A e na porta se utiliza a entrada B e o inverso dela.

Na Figura 38 apresenta os resultados obtidos do *layout* da porta lógica.

Figura 38: Resultados do layout da porta lógica OR com 2 transistores, (a) entrada A, (b) entrada B, (c) entrada B', (d) saída com tecnologia de 0,6  $\mu\text{m}$ , (e) saída com tecnologia de 0,35  $\mu\text{m}$  (f) saída com tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

O *layout* da porta lógica OR condiz com a tabela verdade quando qualquer uma das entradas for ‘1’ lógico. Os atrasos na borda de subida em todas as tecnologias foram iguais e na borda de descida com o aumento das tecnologias obteve uma diferença de 9 ps.

Na tabela 15, apresenta os atrasos com os dois métodos utilizados.

Tabela 15: Organização dos atrasos obtidos na tecnologia analisadas.

| Tecnologia        | Implementação SPICE | Layout      |
|-------------------|---------------------|-------------|
| 0,6 $\mu\text{m}$ | 52 ps/38 ps         | 42 ps/39 ps |

|        |              |              |
|--------|--------------|--------------|
| 0,35µm | 70 ps/ 36 ps | 42 ps/ 38 ps |
| 0,25µm | 41 ps/22 ps  | 42 ps/30 ps  |

Fonte: O autor (2017).

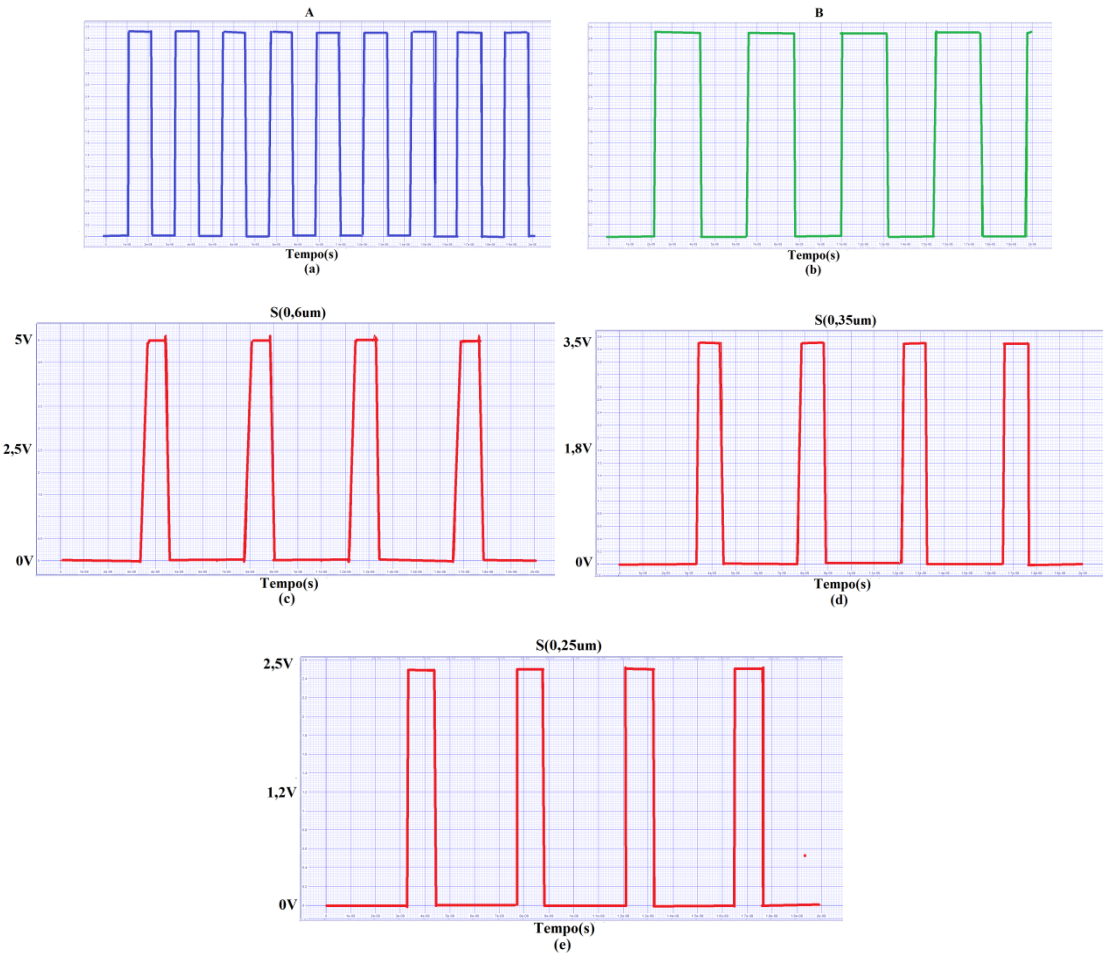
Na borda de subida, o *layout* obteve um atraso maior para todos os casos, porém para 2 dos 3 casos na borda de subida obteve um atraso menor.

Comparando as duas portas lógicas OR utilizadas, o circuito utilizando somente dois transistores obteve melhores resultados em questão de atraso, mas obteve polarizações menores.

4.5 Porta Lógica AND

Baseado na Figura 4(b), realizou a implementação SPICE e *Layout* em 3 tecnologias com as mesmas entradas e o mesmo circuito.

**Figura 39:** Entradas e saídas geradas pela porta lógica AND padrão. (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6 µm, (d) saída com tecnologia de 0,35 µm e (e) saída com tecnologia de 0,25 µm.



Fonte: O autor (2017).

Os resultados condizem com a porta lógica AND, quando somente as duas entradas forem '1' lógico a sua saída também será '1' com a polarização máxima para cada tecnologia implementada.

**Tabela 16:** Organização dos atrasos da porta lógica AND.

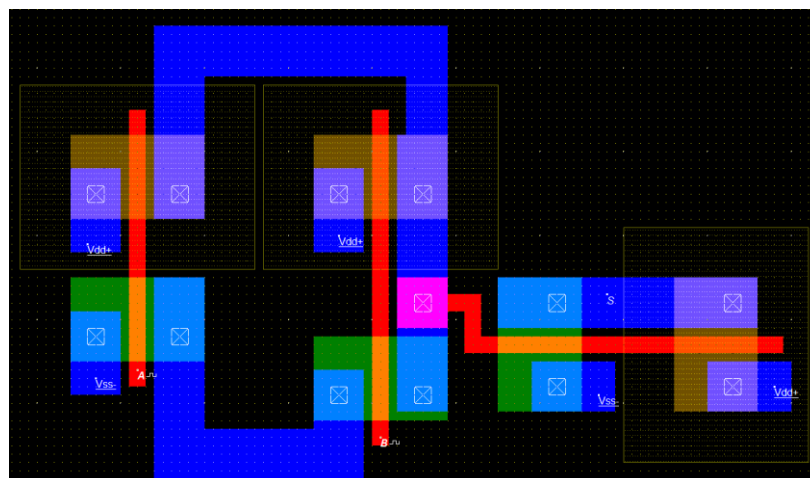
| Tecnologia   | Atraso       |
|--------------|--------------|
| 0,6 $\mu$ m  | 125 ps/93 ps |
| 0,35 $\mu$ m | 71 ps/35 ps  |
| 0,25 $\mu$ m | 35 ps/16 ps  |

**Fonte:** O autor (2017).

Os atrasos analisados se reduziram ao aumentar a tecnologia implementada em que a diferença de atraso na borda de subida entre as tecnologias de 0,35  $\mu$ m e de 0,25  $\mu$ m foi de 36 ps.

Logo após foi construído o circuito em *Layout*, com a seguinte fisionomia, como mostra a Figura 40.

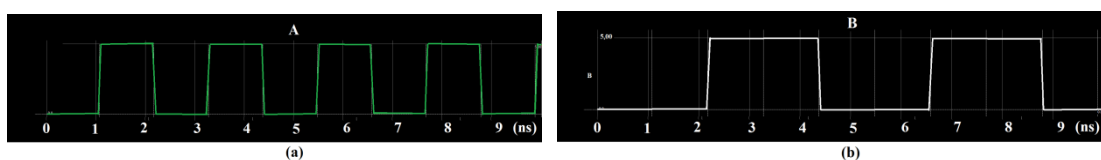
**Figura 40:** Layout da porta lógica AND.

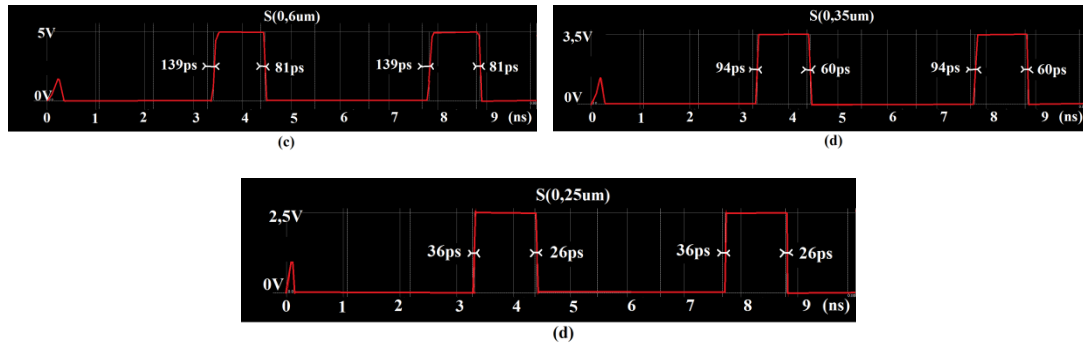


**Fonte:** O autor (2017).

A porta lógica AND possui metade do circuito igual ao *layout* da porta lógica NAND com o acréscimo de um inversor. Na Figura 41, é mostrado os resultados das saídas das portas lógicas AND com diferentes tecnologias com entradas iguais.

**Figura 41:** Resultados do layout da porta lógica AND padrão, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6  $\mu$ m, (d) saída com tecnologia de 0,35  $\mu$ m e (e) saída com tecnologia de 0,25  $\mu$ m.





**Fonte:** O autor (2017).

Com os resultados, é possível observar uma diminuição de atraso nas saídas com o aumento da tecnologia, onde na Tabela 17 está organizado os resultados da implementação SPICE e em *Layout*.

**Tabela 17:** Organização dos atrasos da porta lógica AND em diferentes tecnologias.

| Tecnologia | Implementação SPICE | <i>Layout</i>     |
|------------|---------------------|-------------------|
| 0,6μm      | <b>125ps/93ps</b>   | <b>139ps/81ps</b> |
| 0,35μm     | <b>81ps/35ps</b>    | <b>94ps/60ps</b>  |
| 0,25μm     | <b>35ps/16ps</b>    | <b>36ps/26ps</b>  |

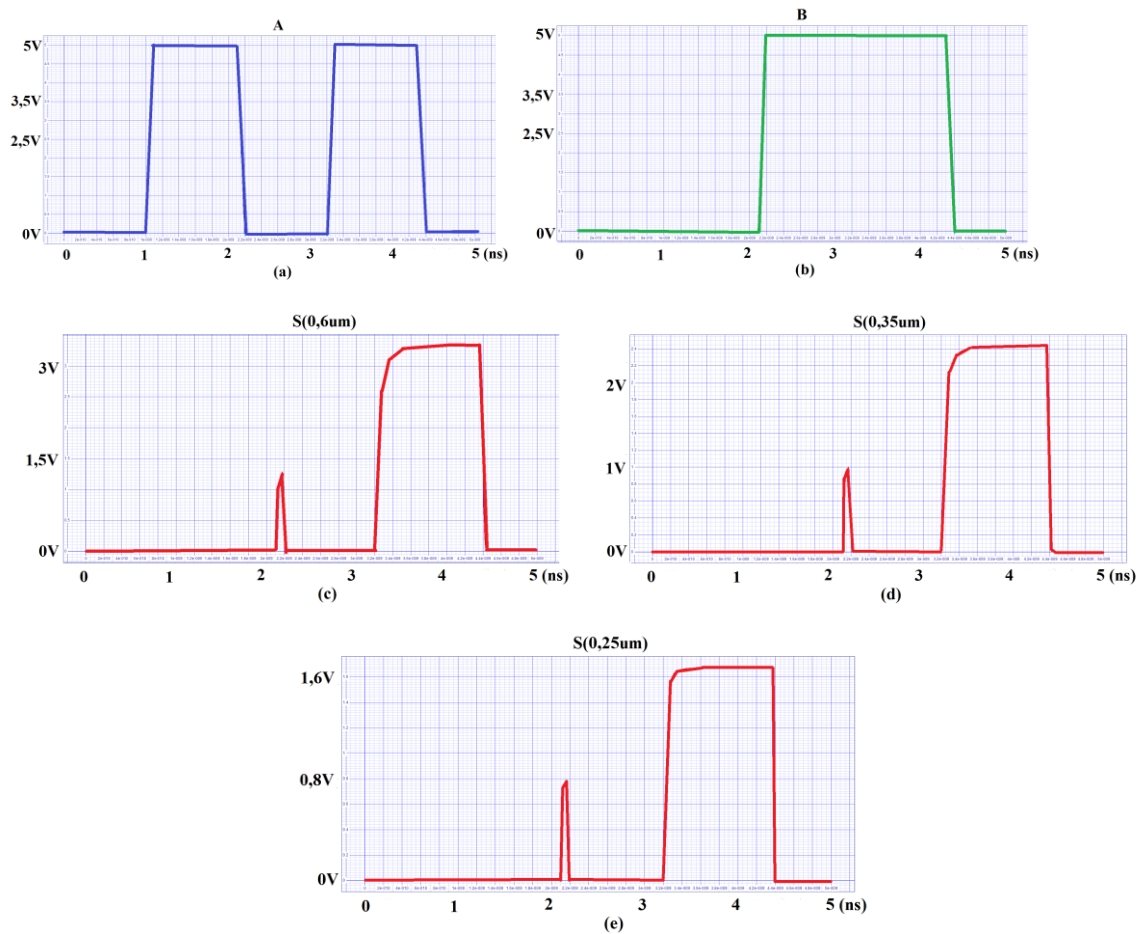
**Fonte:** O autor (2017).

Com a Tabela 17 pode-se observar que o mesmo caso da porta lógica OR aconteceu na AND, sendo, os valores da implementação SPICE são menores que em *Layout*, o valor mais próximo na tecnologia de 0,25μm com diferença de 1ps na borda de subida.

Além da porta lógica padrões existem propostas de porta lógicas utilizando poucos transistores conforme apresentado na Figura 5 (a).

Na Figura 42 apresenta os resultados com a implementação SPICE.

**Figura 42:** Resultados obtidos na porta lógica AND com 2 transistores, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

A porta lógica AND com 2 transistores se comporta da mesma forma que a padrão em relação a tabela verdade, porém com a saída menor.

Na Tabela 18 contém os atrasos da porta lógica AND com dois transistores.

**Tabela 18:** Atrasos obtidos da porta lógica AND com 2 transistores com SPICE.

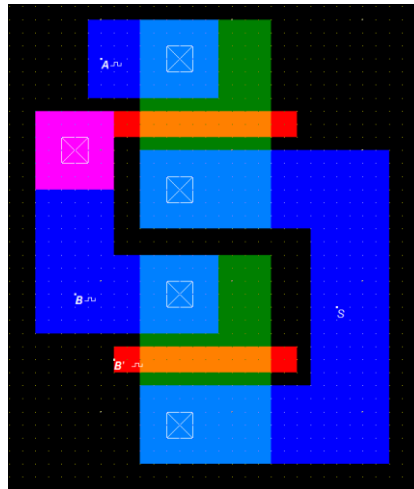
| Tecnologia         | Atraso      |
|--------------------|-------------|
| 0,6 $\mu\text{m}$  | 28 ps/40 ps |
| 0,35 $\mu\text{m}$ | 13 ps/35 ps |
| 0,25 $\mu\text{m}$ | 3 ps/27 ps  |

Fonte: O autor (2017).

Os atrasos obtidos na porta lógica AND com dois transistores apresentam resultados melhores que na porta lógica padrão, porém, no mesmo caso com a porta lógica OR o transistor NMOS não consegue passar o '1' lógico com perfeição, então, as saídas nas tecnologias não foram máximas, porém o tempo de resposta bem melhor.

Na Figura 43 apresenta o *layout* da porta lógica otimizada.

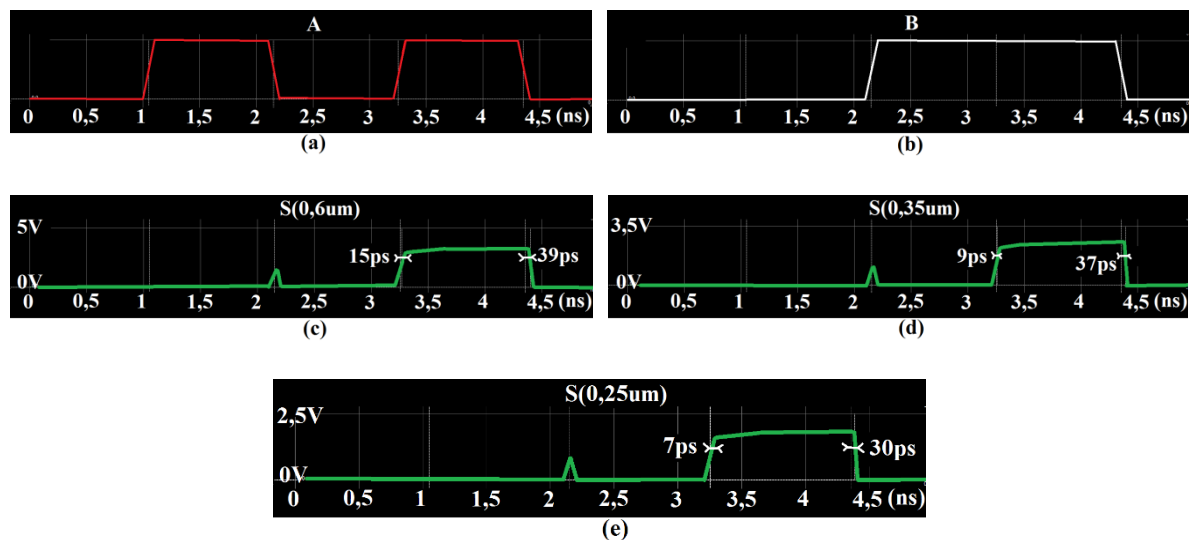
**Figura 43:** Layout da porta lógica AND com 2 transistores.



**Fonte:** O autor (2017).

De forma análoga, o *layout* do circuito AND e OR são iguais, mas com polarizações diferentes na porta, no dreno e na fonte.

**Figura 44:** Resultados do layout da porta lógica AND com dois transistores, (a) entrada A, (b) entrada B, (c) saída com tecnologia de 0,6  $\mu\text{m}$ , (d) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .



**Fonte:** O autor (2017).

Os atrasos do *layout* se melhores com relação ao *layout* da porta lógica padrão, com a maior tecnologia na borda de subida se obteve 7 ps.

Na Tabela 19 está organizado todas as saídas geradas na porta lógica com dois transistores.

**Tabela 19:** Atrasos da porta lógica AND com 2 transistores nos dois métodos.

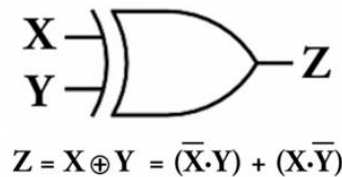
| Tecnologia         | Implementação SPICE | Layout             |
|--------------------|---------------------|--------------------|
| 0,6 $\mu\text{m}$  | <b>28 ps/40 ps</b>  | <b>15 ps/39 ps</b> |
| 0,35 $\mu\text{m}$ | <b>13 ps/35 ps</b>  | <b>9 ps/37 ps</b>  |
| 0,25 $\mu\text{m}$ | <b>3 ps/27 ps</b>   | <b>7 ps/30 ps</b>  |

Fonte: O autor (2017).

Os atrasos obtidos com a porta lógica otimizada conseguem ser melhor que a padrão, tirando o falo da saída não ser completamente com a tensão máxima. Os atrasos na maior tecnologia utilizada o SPICE se mostrou melhor.

#### 4.6 Porta Lógica XOR e XNOR

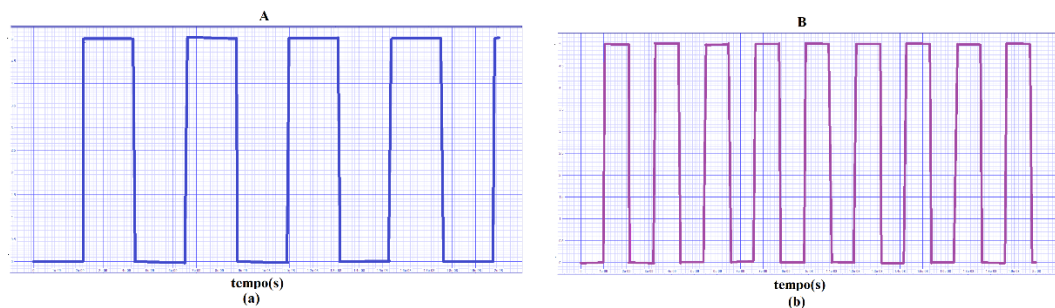
A porta lógica XOR e XNOR é a combinação de duas portas lógicas, duas AND com uma porta OR e duas NOT nas entradas, conforme mostra a Figura 45.

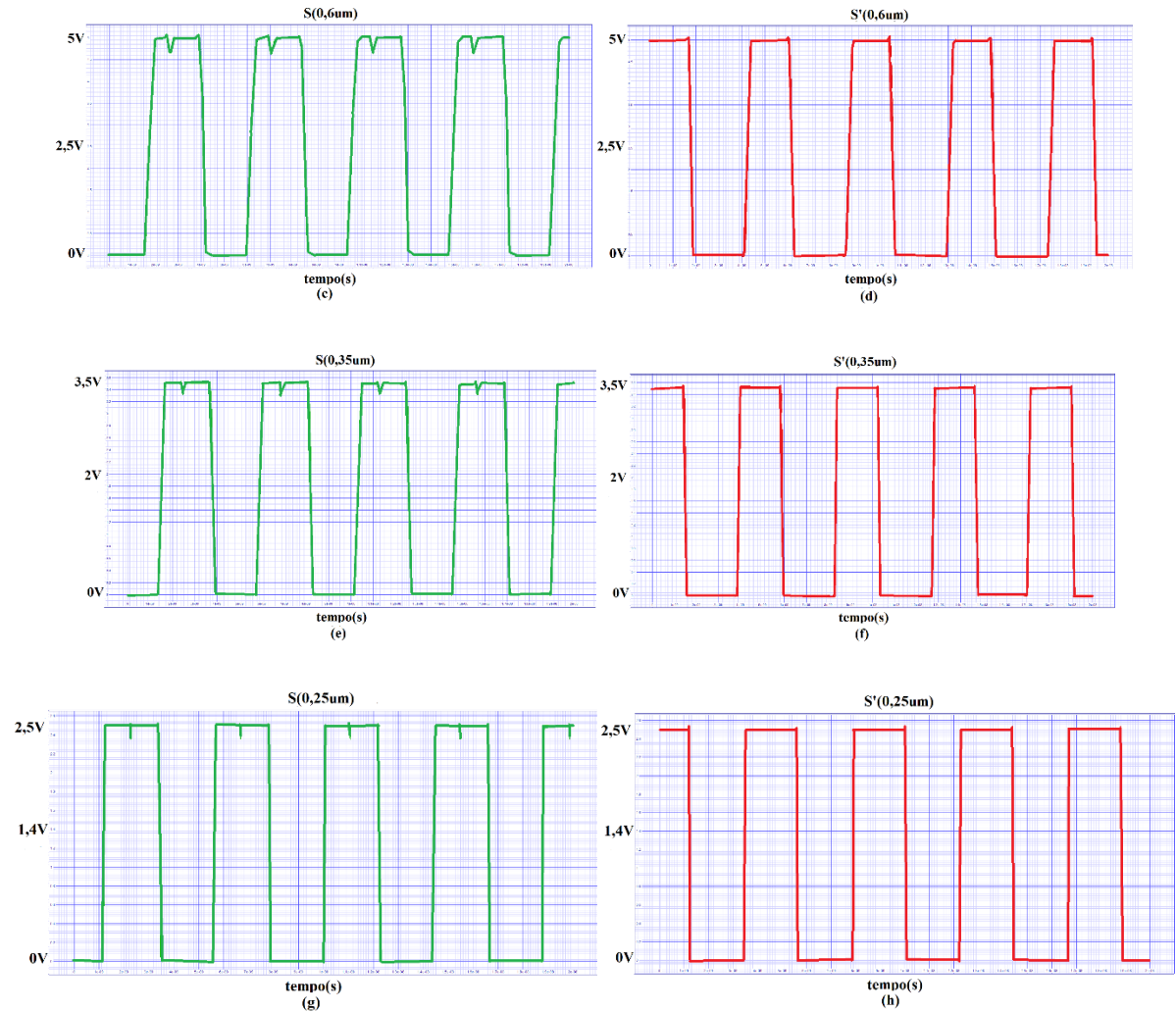
**Figura 45:** Porta lógica XOR.

**Fonte:** Disponível em: Desvendando as Portas Lógicas. <<https://pontogpp.com.br/blog/tecnico/desvendando-portas-logicas/>>. Acesso em: 10 out. 2017.

Para implementar a XNOR utiliza-se a XOR com uma NOT. Na Figura 46, apresenta os resultados gerados com a implementação Spice com a porta XOR e XNOR.

**Figura 46:** Resultados da implementação SPICE das portas lógicas XOR e XNOR, (a) entrada A, (b) entrada B, (c) Saída da XOR com tecnologia de 0,6  $\mu\text{m}$ , (d) saída da XNOR com tecnologia de 0,6  $\mu\text{m}$ , (e) saída da XOR com tecnologia de 0,35  $\mu\text{m}$ , (f) saída da XNOR com tecnologia de 0,35  $\mu\text{m}$ , (g) saída da XOR com tecnologia de 0,25  $\mu\text{m}$  e (h) saída da XNOR com tecnologia de 0,25  $\mu\text{m}$ .





Fonte: O autor (2017).

Os resultados com a implementação condizem com a tabela verdade das portas lógicas XOR e XNOR. Na XOR quando as entradas foram diferentes a saída será '1' lógico e na XNOR quando as entradas forem iguais a saída será também '1' lógico.

Na Tabela 20 apresenta todos os atrasos obtidos com a porta lógica XOR e XNOR.

**Tabela 20:** Resultados da implementação SPICE das portas lógicas XOR e XNOR.

| Tecnologia         | XOR           | XNOR          |
|--------------------|---------------|---------------|
| 0,6 $\mu\text{m}$  | 754 ps/747 ps | 589 ps/898 ps |
| 0,35 $\mu\text{m}$ | 473 ps/549 ps | 677 ps/502 ps |
| 0,25 $\mu\text{m}$ | 186 ps/210 ps | 233 ps/175 ps |

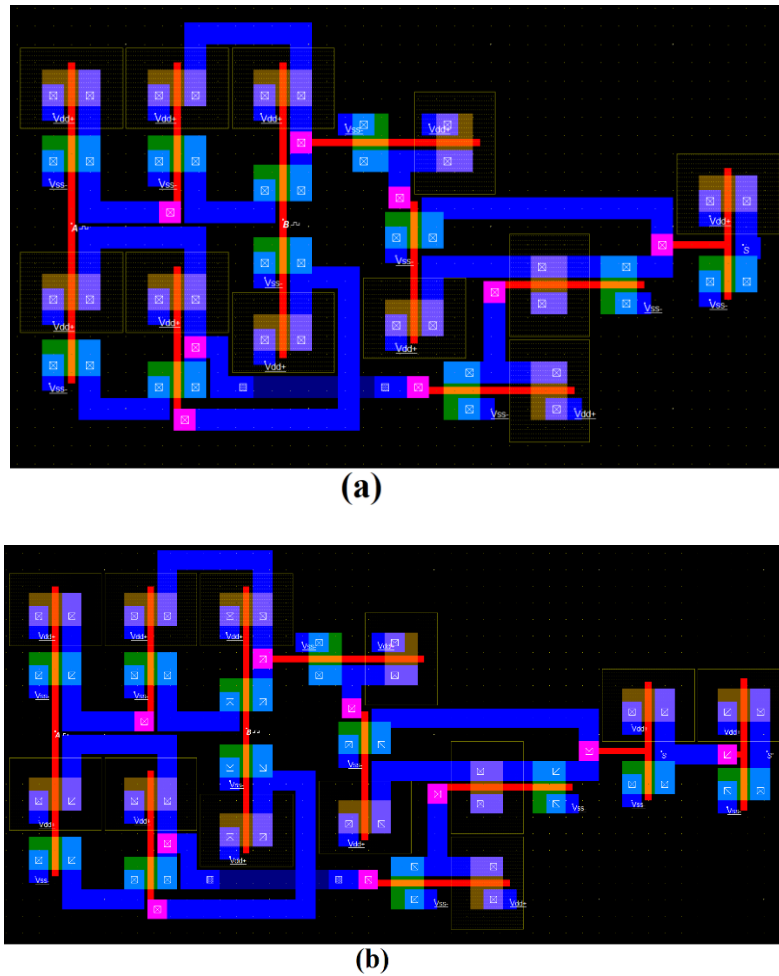
Fonte: O autor (2017).

Os atrasos das portas lógicas XOR e XNOR foram maiores que todas as outras portas lógicas, um motivo pode acontecer de se utilizar vários transistores, pois, é a junção de 3 portas lógicas diferentes. Na XOR obtive o maior atraso de 754 ps na borda de subida com

tecnologia de  $0,6\ \mu\text{m}$  e na XNOR na borda de descida com a mesma tecnologia com 898 ps de atraso.

Na Figura 47 (a) e (b), é mostrado o *layout* da porta lógica XOR e XNOR.

Figura 47: Layout das portas lógicas, (a) XOR e (b) XNOR.

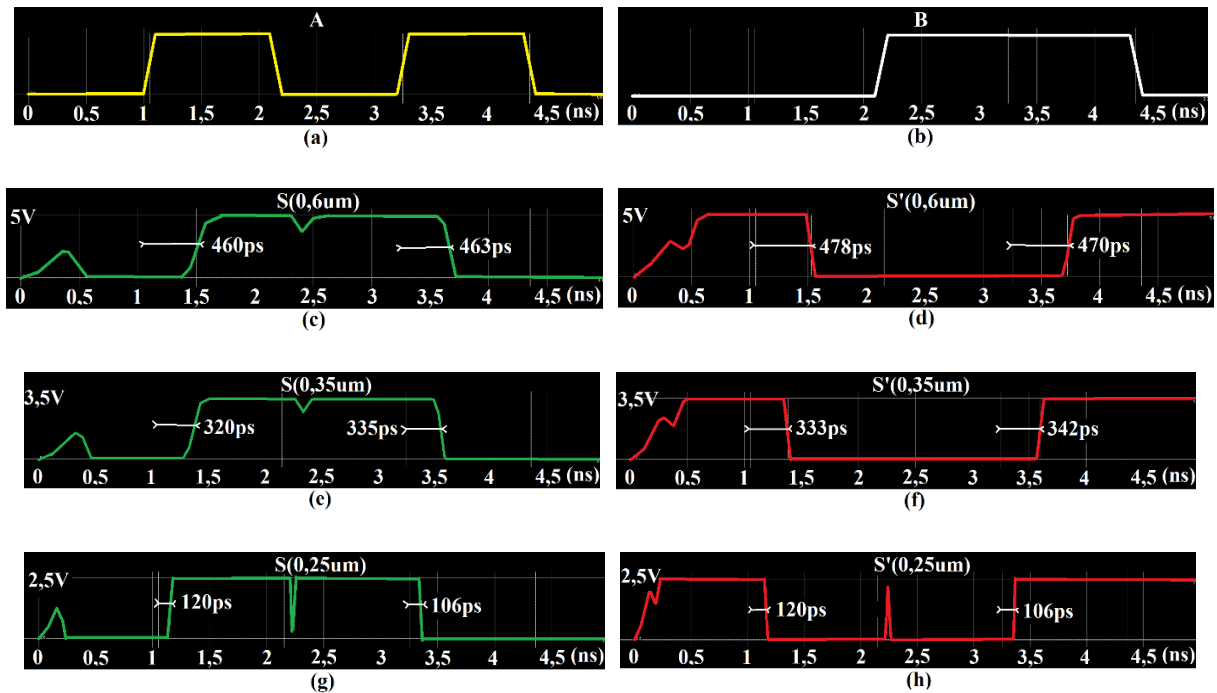


Fonte: O autor (2017).

Na Figura 47 (a) e (b) apresenta os dois *layouts*, onde, o circuito da Figura 47 (a) contém 22 transistores, sendo 11 PMOS e 11 NMOS, na Figura 47 (b) existem dois a mais, um para NMOS e outros para PMOS totalizando 24 transistores.

Na Figura 48, apresenta os resultados obtidos com *layout* das portas lógicas XOR e XNOR.

**Figura 48:** Resultados do layout das portas lógicas XOR e XNOR (a) entrada A, (b) entrada B, (c) saída da XOR com tecnologia de 0,6  $\mu\text{m}$ , (d) saída da XNOR com tecnologia de 0,6  $\mu\text{m}$ , (e) saída da XOR com tecnologia de 0,35  $\mu\text{m}$ , (f) saída da XNOR com tecnologia de 0,35  $\mu\text{m}$ , (g) saída da XOR com tecnologia de 0,25  $\mu\text{m}$  e (h) saída da XNOR com tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

Com o aumento da tecnologia, as portas lógicas XOR e XNOR obtiveram resultados com tempos de atrasos menores, mas entre as tecnologias, os resultados em comparação da XOR e XNOR foram próximos, cerca de 10 ps a 15 ps de diferença.

Na tabela 21, apresenta os resultados da implantação SPICE e do *layout* da porta lógica XOR.

**Tabela 21:** Atrasos da implementação SPICE e o *layout* da porta lógica XOR.

| Tecnologia         | Implementação SPICE | <i>Layout</i> |
|--------------------|---------------------|---------------|
| 0,6 $\mu\text{m}$  | 754 ps/747 ps       | 460 ps/463 ps |
| 0,35 $\mu\text{m}$ | 473 ps/549 ps       | 320 ps/335 os |
| 0,25 $\mu\text{m}$ | 186 ps/210 ps       | 120 ps/106 ps |

Fonte: O autor (2017).

Os atrasos do *layout* da porta lógica XOR, obtiveram resultados melhores do que o SPICE, principalmente na menor tecnologia com diferença de 294 ps.

Na tabela 22, apresenta os resultados da implementação SPICE e do *layout* da porta lógica XNOR.

**Tabela 22:** Resultados da implementação SPICE e do *layout* da porta lógica XNOR.

| Tecnologia | Implementação SPICE | <i>Layout</i> |
|------------|---------------------|---------------|
|------------|---------------------|---------------|

|                    |               |               |
|--------------------|---------------|---------------|
| 0,6 $\mu\text{m}$  | 589 ps/898 ps | 478 ps/470 ps |
| 0,35 $\mu\text{m}$ | 677 ps/502 ps | 333 ps/342 ps |
| 0,25 $\mu\text{m}$ | 233 ps/175 ps | 120 ps/106 ps |

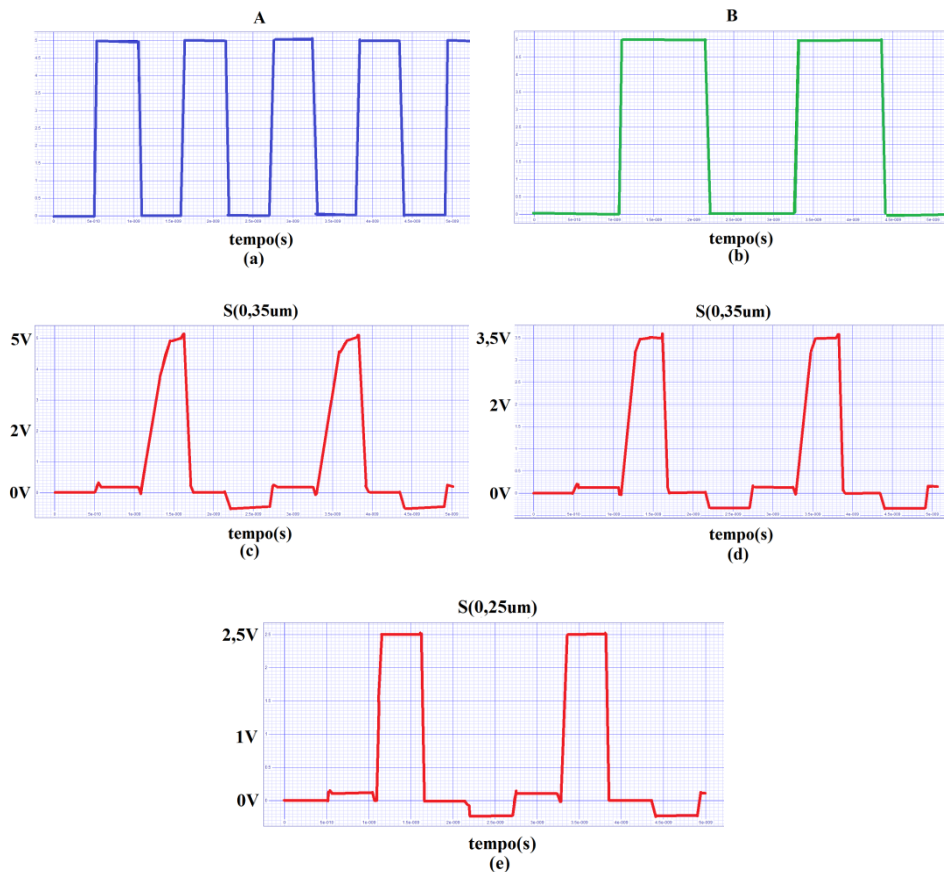
Fonte: O autor (2017).

Os resultados do *layout* da porta lógica XNOR conseguiu ser melhor que o SPICE, da mesma forma que ocorreu com a XOR, porém, os atrasos em alguns casos foram menores principalmente em comparação com as duas implementações SPICE da XOR e XNOR com diferença de 144 ps para os dois piores casos.

O circuito utilizado para a construção da XOR e XNOR otimizadas, foi o proposto por KUMAR e PANDEY (2011) utilizando 5 transistores conforme mostrado na Figura 6, utilizando as 3 tecnologias usados ao longo deste trabalho na implementação SPICE e em *Layout*.

Nota-se diferenças entre os resultados nos três circuitos implementados, sendo que, duas das tecnologias tentaram gerar um valor alto, nos transistores de 0,6 $\mu\text{m}$  e 0,35 $\mu\text{m}$ , porém, gerou uma tensão negativa. Isso pode ser observado na Figura 49.

**Figura 49:** Entradas e saídas geradas pela porta lógica XOR com 3 transistores, (a) entrada A, (b) entrada b, (c) saída com a tecnologia de 0,6  $\mu\text{m}$ , (c) saída com tecnologia de 0,35  $\mu\text{m}$  e (e) saída com a tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

Na porta lógica XOR, a saída será igual a 1 quando as duas entradas forem diferentes (VAHID, 2008). Nota-se que o circuito ocorre como proposto pela XOR em alguns casos, quando o circuito sobe o valor da tensão na saída, de fato, o resultado teria que ser nível alto (“1”), porém, ele não consegue chegar na voltagem máxima. Com resultado digital, o circuito tem um limite para declarar a saída ou a entrada como um ou zero, quando ocorrer a implementação da XNOR que irá inverter o valor das saídas, assim, saberemos se o circuito está reconhecendo como 1 ou 0.

Os atrasos nas diferentes tecnologias foram diminuindo de acordo com o aumento da tecnologia, como mostrado na Tabela 23.

**Tabela 23:** Organização dos atrasos da porta lógica XOR em implementação SPICE.

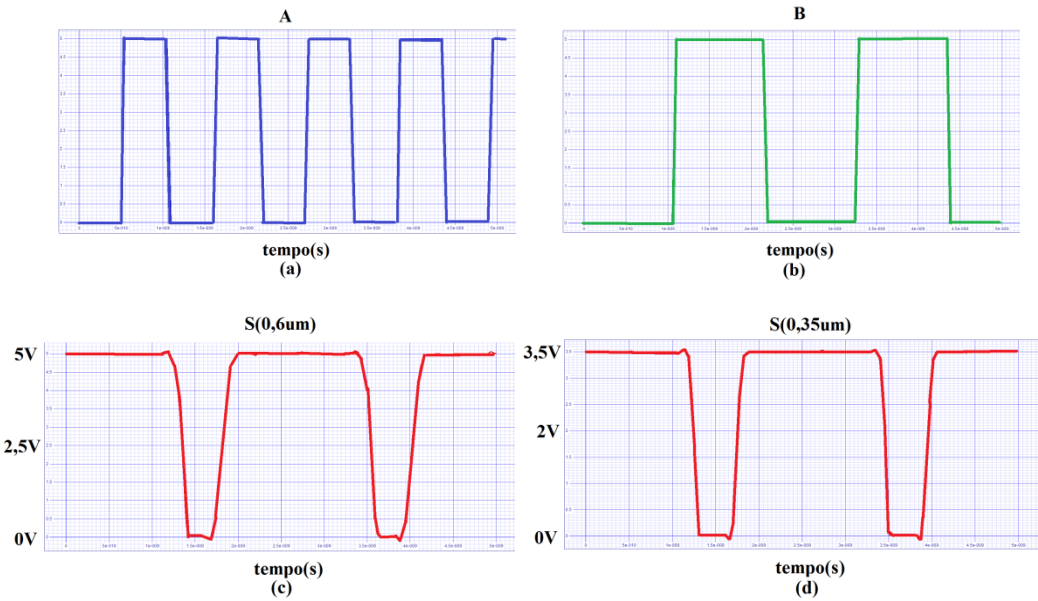
| Tecnologia | Atraso       |
|------------|--------------|
| 0,6µm      | 178 ps/49 ps |
| 0,35µm     | 93 ps/32 ps  |
| 0,25µm     | 43 ps/17 ps  |

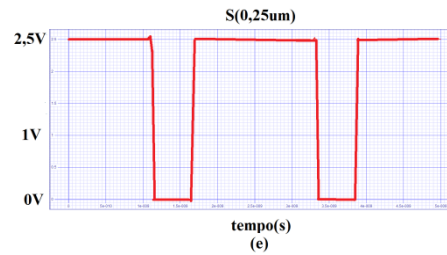
**Fonte:** O autor (2017).

A tabela 23 mostra uma pequena diminuição no atraso em relação ao aumento da tecnologia com diferença de 135 ps na borda de subida e 32 ps na borda de descida.

Para observar a saída gerada sem atingir o nível máximo implementou-se logo após a porta lógico XNOR.

**Figura 50:** Entradas e saídas geradas pela porta lógica XNOR com 3 transistores, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6 µm, (d) saída com a tecnologia de 0,35 µm e (e) saída com a tecnologia de 0,25 µm.



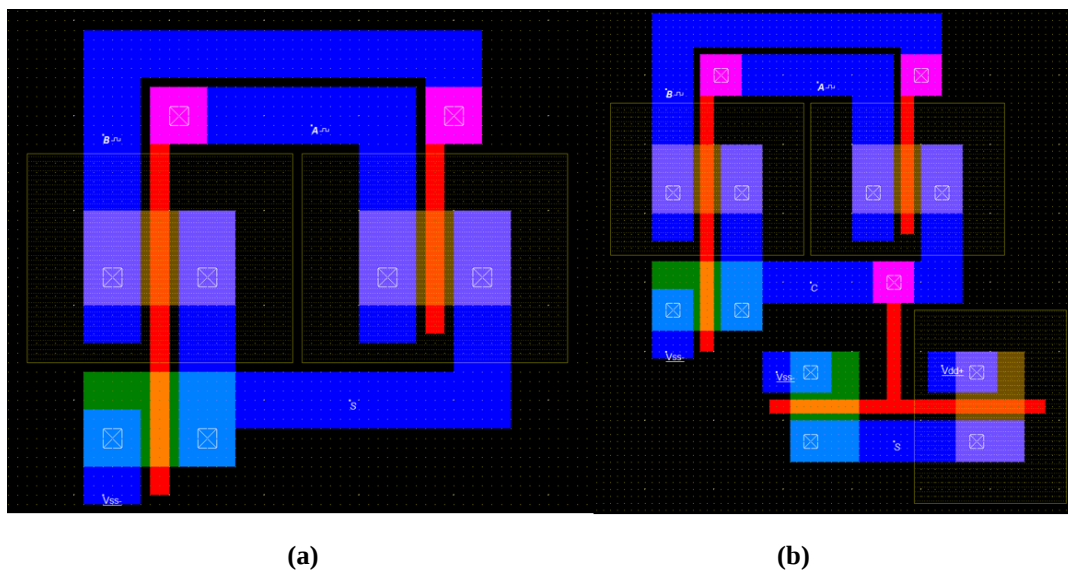


**Fonte:** O autor (2017).

Na Figura 50 (c), (d) e (e), observa-se que inverteu quando na porta lógica XOR tinha tensão máxima, porém, na Figura 44 (c), (d) e (e), existia algumas elevações de tensão quando era para ser com saída alta, porém, quando adicionado um inversor o circuito declara como zero e assim a porta lógica XNOR, contém erro implementada neste trabalho.

Para comprovar os resultados obtidos neste trabalho, foram construídos os *layouts* das duas portas lógicas com o seguinte desenho apresentados na Figura 51 (a) e (b).

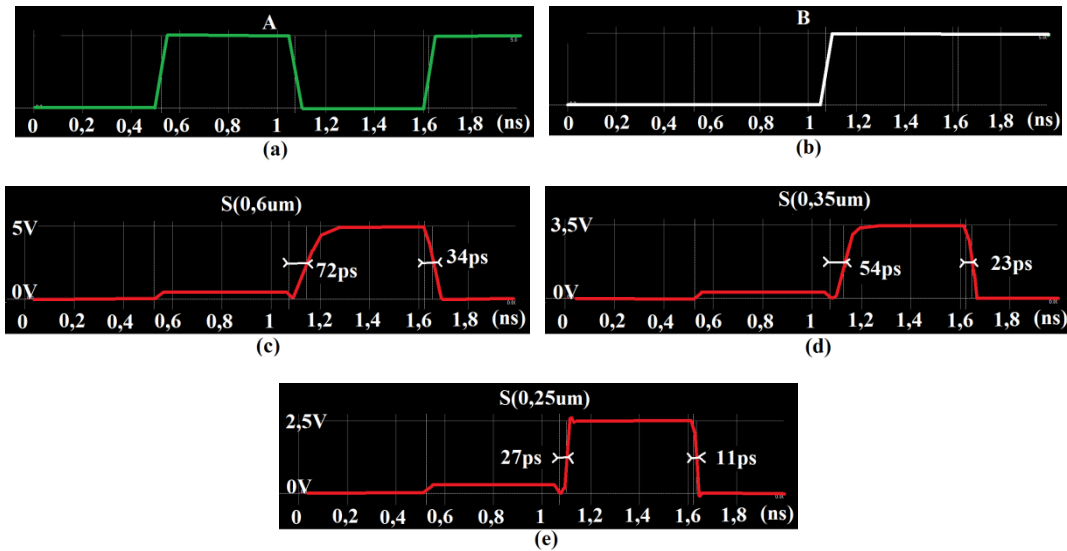
**Figura 51:** (a) Layout da porta lógica XOR e (b) Layout da porta lógica XNOR.



**Fonte:** O autor (2017).

Os dois modelos apresentados na Figura 51 (a) e (b) são bem parecidos com a diferença do inversor, um caso diferente ocorre nos dois circuitos, com o dreno do PMOS no lugar de ter uma tensão fixa é adicionado uma entrada. Os resultados encontrados com a porta lógica XOR é apresentada na Figura 52 (a), (b), (c), (d) e (e).

**Figura 52:** Resultados do layout da porta lógica XOR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6  $\mu\text{m}$ , (d) saída com a tecnologia de 0,35  $\mu\text{m}$  e (e) saída com tecnologia de 0,25  $\mu\text{m}$ .

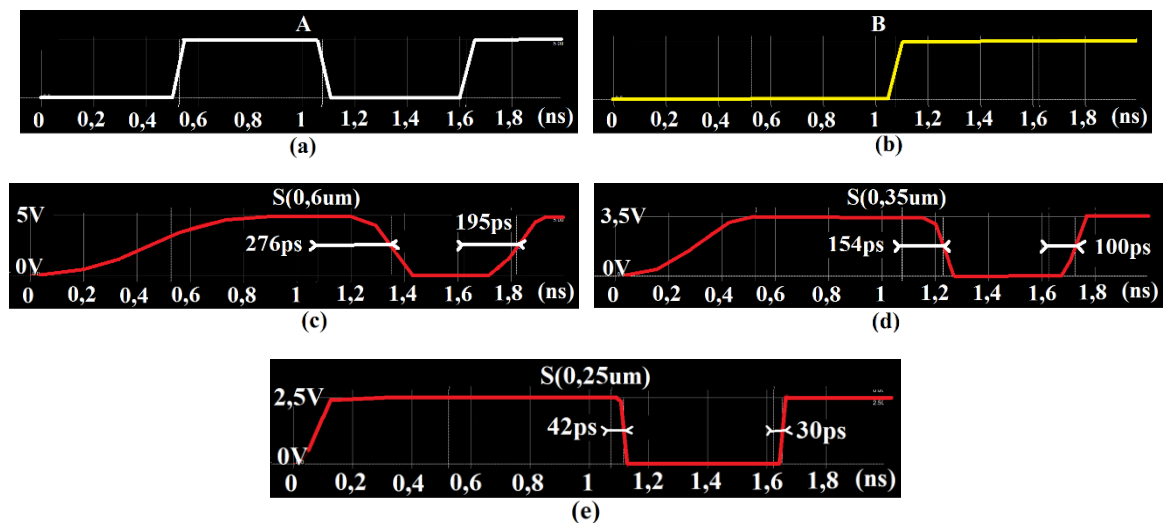


Fonte: O autor (2017).

A saída resultante do *layout* observa-se o mesmo caso nas saídas na implementação SPICE, quando o resultado tinha que ser '1' lógico, o circuito sobe de 0 V para aproximadamente 1,5 V dependendo da tecnologia e depois sobe para a polarização máxima utilizada nas entradas.

No mesmo caso da implementação SPICE, ocorre no *layout* e para ver se o circuito reconhece como sendo saída alta ou baixa, foi-se necessário implementar o *layout* da Figura 54(b) e encontramos os seguintes resultados, mostrados na Figura 53 de (a) a (e).

**Figura 53:** Resultados do layout da porta lógica XNOR, (a) entrada A, (b) entrada B, (c) saída com a tecnologia de 0,6  $\mu\text{m}$ , (d) saída com a tecnologia de 0,35  $\mu\text{m}$  e (e) saída com a tecnologia de 0,25  $\mu\text{m}$ .



Fonte: O autor (2017).

Analisando a Figura 53 (c) a (e), observa-se que ocorre um erro nas saídas, o fato de acontecer este erro é que a porta lógica XOR não conseguiu polarizar uma das saídas para ‘1’ lógico antes de ocorre de fato, com isso, a entrada da porta lógica XNOR reconhece como ‘0’ e não como um mesmo a polarização não sendo zero, porém, com tensão muito baixa.

Um dos pontos que pode dificultar o resultado da XNOR é a polarização nos drenos com a própria entrada do circuito.

Também foi analisado o atraso das duas portas lógicas conforme mostra a Tabela 24 e Tabela 25.

**Tabela 24:** Organização dos atrasos da porta lógica XOR em diferentes tecnologias.

| Tecnologia         | Implementação SPICE | Layout              |
|--------------------|---------------------|---------------------|
| 0,6 $\mu\text{m}$  | <b>128 ps/81 ps</b> | <b>72 ps/ 34ps</b>  |
| 0,35 $\mu\text{m}$ | <b>93 ps/70 ps</b>  | <b>54 ps/ 23 ps</b> |
| 0,25 $\mu\text{m}$ | <b>46 ps/35 ps</b>  | <b>27 os/11 ps</b>  |

**Fonte:** O autor (2017).

**Tabela 25:** Organização dos atrasos da porta lógica XNOR em diferentes tecnologias.

| Tecnologia         | Implementação SPICE | Layout               |
|--------------------|---------------------|----------------------|
| 0,6 $\mu\text{m}$  | <b>93 ps/105 ps</b> | <b>195 ps/276 ps</b> |
| 0,35 $\mu\text{m}$ | <b>70 ps/58 ps</b>  | <b>100 ps/154 ps</b> |
| 0,25 $\mu\text{m}$ | <b>70 ps/96 ps</b>  | <b>30 ps/42 ps</b>   |

**Fonte:** O autor (2017).

Na Tabela 24, mostra que o *layout* da porta lógica XOR apresentou um atraso menor em relação a implementação SPICE e com as saídas iguais com uma excitação muito baixa quando a porta lógica era para estar em ‘1’ lógico.

Na Tabela 25, os resultados do *layout* se mostraram com atraso maior para todos os casos em relação com o SPICE, ocorrendo uma diferença de 40 ps na borda de subida com a tecnologia de 0,25  $\mu\text{m}$ .

## 5. CONSLUSÕES

Neste trabalho foram analisadas diversas portas lógicas, em tecnólogas diferentes, onde foi observando seu tempo de atraso ao ser diminuindo a cada vez que aumentava a tecnologia em alguns casos. Pode ser também observado que algumas implementações de *layout* acabaram tendo um desempenho melhor do que na implementação SPICE, já em outros casos a implementação SPICE mostrou-se mais eficiente. Isso faz com que o projetista tenha que observar de forma cuidadosa qual tecnologia utilizar para obter o desempenho máximo do *layout*, comparando sempre com o SPICE para que possa ser realizado a construção do CI. Alguns cuidados precisam ser tomados, pois, um erro de inversão de valor pode torna-se um problema na hora da implementação das XOR e XNOR. Para trabalhos futuros se deseja utilizar todo o conhecimento para implementação de circuitos maiores e com mais funcionalidades.

## 6. REFERÊNCIAS

AMD. **Processador AMD Ryzen™ Threadripper™ 1950X**. Disponível em: <<http://www.amd.com/pt/products/cpu/amd-ryzen-threadripper-1950x>>. Acesso em: 10 set. 2017.

ARRAIS JUNIOR, Ernano. **Modelagem de Circuitos em SPICE**. 06 de set de 2017. 41 p. Notas de Aula.

ARRAIS JUNIOR, Ernano. **LAYOUT**. 06 de set de 2017. 41 p. Notas de Aula.

BAKER, Russel Jacob. **CMOS Circuit Design, Layout, and Simulation**. 2. ed. 2004. 1080p. CI-BRASIL. **CI Brasil: Cenário**. Disponível em: <<http://www.ci-brasil.gov.br/index.php/pt/o-ci-brasil/cenario>>. Acesso em: 10 set. 2017.

CANCELIER, Mariela. **O que há de diferente nos processadores Exynos da Samsung?** 2017. Disponível em: <<https://adrenaline.uol.com.br/2017/06/04/49842/o-que-ha-de-diferente-nos-processadores-exynos-da-samsung-/>>. Acesso em: 10 out. 2017.

COURTLAND, Rachel. **Moore's Law's Next Step: 10 Nanometers**. *Ieee Spectrum: FOR THE TECHNOLOGY INSIDER*, New York, v. 54, n. 1, p.52-53, jan. 2017.

CHINELATO, Caio Igor Gonçalves; MUÑOZ, Rodrigo Reina. **Análise de Circuitos Eletrônicos Usando SPICE**. Disponível em: <[http://ic.ufabc.edu.br/II\\_SIC\\_UFABC/resumos/paper\\_5\\_188.pdf](http://ic.ufabc.edu.br/II_SIC_UFABC/resumos/paper_5_188.pdf)>. Acesso em: 27 jul. 2017.

EXAME. **O FIM precoce da microeletrônica no Brasil**. 2016. Disponível em: <<http://exame.abril.com.br/negocios/dino/o-fim-precoce-da-microeletronica-no-brasil-shtml/>>. Acesso em: 2 ago. 2017.

GLOBAL FOUNDRIES. **7LP 7nm FinFET Technology**. Disponível em: <<https://www.globalfoundries.com/technology-solutions/cmos/performance/7nm-finfet>>. Acesso em: 10 out. 2017.

INTEL. **Processador Intel® Core™ i5-7600**. Disponível em: <<https://www.intel.com.br/content/www/br/pt/products/processors/core/i5-processors/i5-7600.html>>. Acesso em: 10 set. 2017.

MISHRA, Shiv Shankar et al. **New Design Methodologies for High Speed Low Power XOR-XNOR Circuits**. 2009. Disponível em: <<http://citeseerx.ist.psu.edu/viewdoc/download?doi=10.1.1.193.5299&rep=rep1&type=pdf>>. Acesso em: 5 set. 2017.

OKA, Mauricio Massazumi. **História do Transistor**. 2000. Disponível em: <<http://www.lsi.usp.br/~dmi/manuais/HistoriaDoTransistor.pdf>>. Acesso em: 10 out. 2017.

SACCO, Francesco. A história do primeiro Transistor. 2014. Disponível em: <<https://www.embarcados.com.br/a-historia-do-primeiro-transistor/>>. Acesso em: 10 out. 2017.

JUNGES, Cíntia. **Projetistas de chip estão em alta no mercado**. 2012. Disponível em: <<http://www.gazetadopovo.com.br/economia/projetistas-de-chip-estao-em-alta-no-mercado-2lbl67qqzoti1yngrm4j166ha>>. Acesso em: 10 out. 2017.

KOFUJI, Sérgio Takeo; ZUFFO, João Antonio; SOARES, João Navarro. **Circuitos Integrados CMOS**. 2015. Disponível em: <[app.cear.ufpb.br/~asergio/Eletronica/Transistor/Teoria-CMOS.pdf](http://app.cear.ufpb.br/~asergio/Eletronica/Transistor/Teoria-CMOS.pdf)>. Acesso em: 03 mar. 2017.

JORDÃO, Fabio. **O que é a Lei de Moore?** 2008. Disponível em: <<https://www.tecmundo.com.br/curiosidade/701-o-que-e-a-lei-de-moore-.htm>>. Acesso em: 10 out. 2017.

PIMENTA, Tales Cleber. **Circuitos Digitais: Análise e Síntese Lógica: Aplicações em FPGA**. São Paulo: Elsevier Brasil, 2017. 592 p.

PROGRAMA CI Brasil. Disponível em: <<http://www.nscad.org.br/index.php/pt/ci-brasil/programa-ci-brasil>>. Acesso em: 19 out. 2017.

Rajeev Kumar and Vimal Kant Pandey, “**A New 5-Transistor XOR-XNOR circuit based on the pass transistor logic**”, in Proc IEEE World Congress on Information and Communication Technologies 2011.

RODRIGUES, Marcelo. Pequeno e poderoso: Samsung deve produzir chips de 7 nm a partir de 2018. 2017. Disponível em: <<https://www.tecmundo.com.br/samsung/113697-pequeno-poderoso-samsung-deve-produzir-chips-7-nm-partir-2018.htm>>. Acesso em: 19 out. 2017.

SAMSUNG. **Samsung lança processador premium Exynos Série 9 construído sobre a primeira tecnologia de processo 10nm FinFET do mundo**. Disponível em: <<https://news.samsung.com/br/samsung-lanca-processador-premium-exynos-serie-9-construido-sobre-a-primeira-tecnologia-de-processo-10nm-finfet-do-mundo>>. Acesso em: 10 set. 2017.

SEDRA, Adel S. **Microeletrônica**. Ed. -São Paulo: Pearson Prentice Hall, 2007.

SPICE 3 User's Manual - Section 2: 2 CIRCUIT DESCRIPTION. 2 CIRCUIT DESCRIPTION. Disponível em: <<https://newton.ex.ac.uk/teaching/CDHW/Electronics2/userguide/sec2.html>>. Acesso em: 10 out. 2017.

SPICE 3 User's Manual - Section 3: 3 CIRCUIT ELEMENTS AND MODELS. 3 CIRCUIT ELEMENTS AND MODELS. Disponível em: <<https://newton.ex.ac.uk/teaching/CDHW/Electronics2/userguide/sec3.html>>. Acesso em: 10 out. 2017.

TANENBAUM, Andrew Stuart. **Organização Estruturada de Computadores**. 5. ed. : Pearson, 2005.

VAHID, Frank. **Sistemas Digitais: Projeto, otimização e HDLs**. – Porto Alegre:Artmed, 2008. 560p.

VESTERBACKA, M.. **A New Six-Transistor CMOS XOR Circuit with Complementary Output**. 1999. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=867755>>. Acesso em: 10 out. 2017.

WILTGEN, Alberto et al. **Power consumption analysis in static CMOS gates**. 2013. Disponível em: <<http://ieeexplore.ieee.org/stamp/stamp.jsp?arnumber=6644863>>. Acesso em: 01 out. 2017.

WAZLAWICK, Raul Sidnei. **História da Computação**. São Paulo: Elsevier Brasil, 2016.

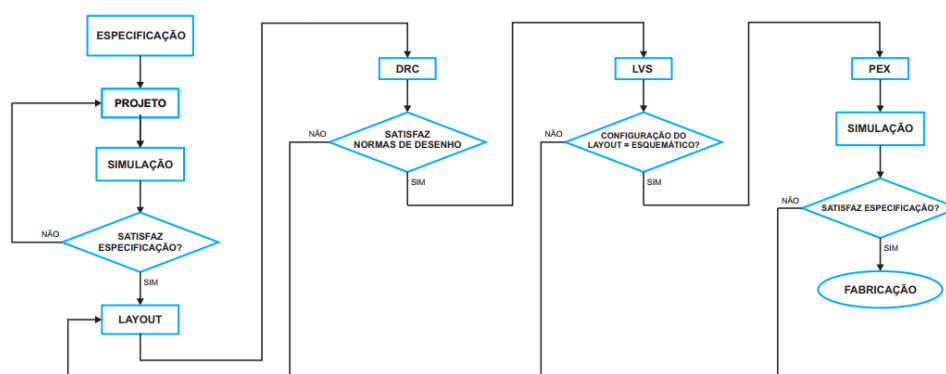
BRASIL, Ci. **CI Brasil: Cenário**. Disponível em: <<http://www.ci-brasil.gov.br/index.php/pt/o-ci-brasil/cenario>>. Acesso em: 10 set. 2017.

## 7. ANEXO

### 7.1 DESCRIÇÃO SPICE

Para a realização de um projeto de CI existem processos a serem realizados para a construção do circuito como mostra na Figura 54.

**Figura 54:** Fluxo de produção.



**Fonte:** Arrais (2017).

Conforme mostra a Figura 54, primeiro é determinado as especificações do projeto, logo após é realizado um projeto do circuito e realiza-se as simulações comparando com os parâmetros estipulados anteriormente, caso tudo esteja conforme as especificações realizam-se o processo de *layout* do circuito.

Logo após a construção do *layout* é realizado o DRC (*Design Rule Check*), ocorre uma checagem de irregularidades quanto às normas de projeto, caso esteja tudo sob conformidade o outro processo de análise é utilizado, o LVS (*Layout Vs. Schematic*), em que ocorre a comparação com as especificações do projeto (ARRAIS, 2017).

Na Figura 54, na etapa de projeto é utilizada a implementação SPICE onde é uma das etapas de produção e construção do CI. Este método utiliza-se de *softwares* para a implementação do circuito antes mesmo de ser implementado na prática a sua parte física e é utilizado para verificação de parâmetros dentro do circuito (CHANELATO, 2009).

Para a implementação SPICE, utilizou-se o *Software* SPICE OPUS, nele existem funções definidas para declarar diversos componentes, onde o projetista demonstra em formato de programação, conforme a função descrita abaixo.

```
.MODEL MNAME TYPE (PNAME1=PVAL1 PNAME2=PVAL2 ...) (SPICE...
2017) (2)
```

O exemplo apresentado mostra a função `.MODEL`, onde é declarado o modelo do componente que o projetista utilizará, se caso for o NMOS o escolhido por ele, ficaria:

.MODEL NOME NMOS (PNAME1=PVAL1 PNAME2=PVAL2)

Onde os parâmetros dentro dos parênteses representam valores de tensão, tamanho do transistor no caso apresentado, entre outros, irá depender do projeto.

Para declarar os MOSFETs existe um formato geral,

*MXXXX ND NG NS NB MNAME <L=VAL> <W=VAL> <AD=VAL> <AS=VAL>*

Onde pode utilizar “+” para acrescentar mais parâmetros aos MOSFETs como valor da temperatura. As siglas iniciadas com “N” se referem aos nós do *drain*, *gate*, *source* e *body*, respectivamente, logo após, no início o “M” mantém seguido do nome e os outros parâmetros são, L comprimento, W largura, os dois em metros, AD e AS são as áreas do *drain* e *source* respectivamente, em metros (SPICE... 2017).

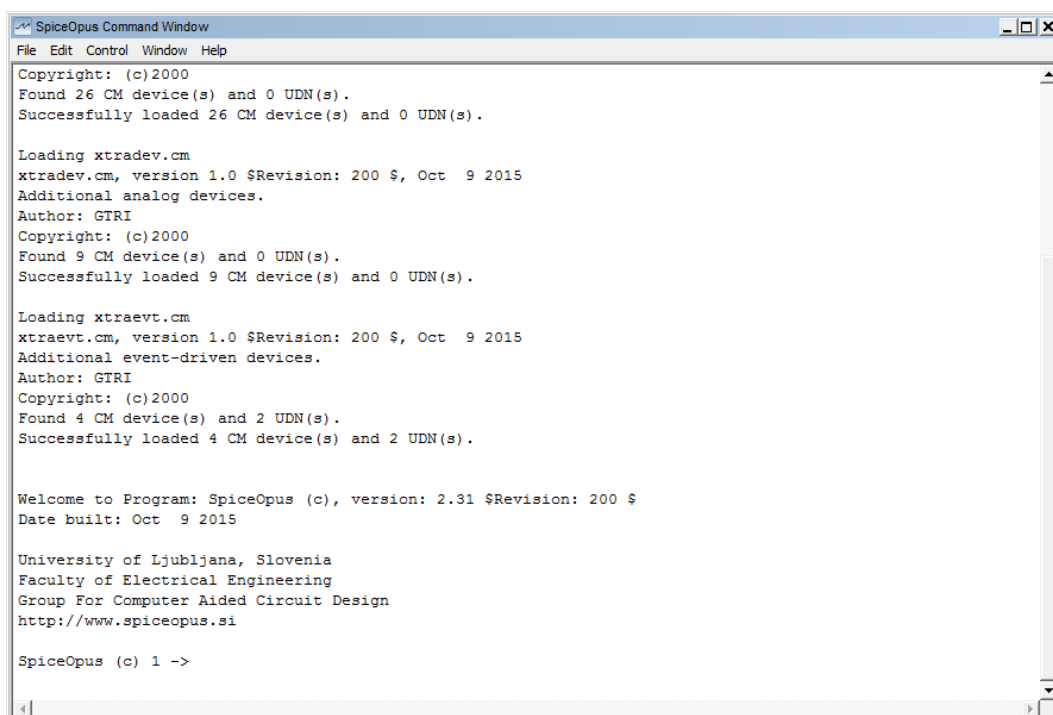
Quando se declara PMOS e NMOS existe níveis de 1 ao 6, acrescentando outros parâmetros para a construção dos circuitos. No level 1 são definidos VTO (Tensão Limite zero), KP (Parâmetro de transcondutância), LAMBDA (Modulação do comprimento do canal), PHI (Potencial de Superfície) entre outros (SPICE... 2017).

Para finalizar o programa existe a função (.end).

Para gerar os resultados no *software* escreve-se toda a programação em um bloco de notas com o formato .cir e no SPICE OPUS realiza a chamada do arquivo criado, “source NOMEDOARQUIVO.cir”.

Na Figura 19 apresenta a tela inicial do SPICE OPUS.

**Figura 55:** Tela inicial do SPICE OPUS.



**Fonte:** O autor (2017).

## 6.2. LAYOUT

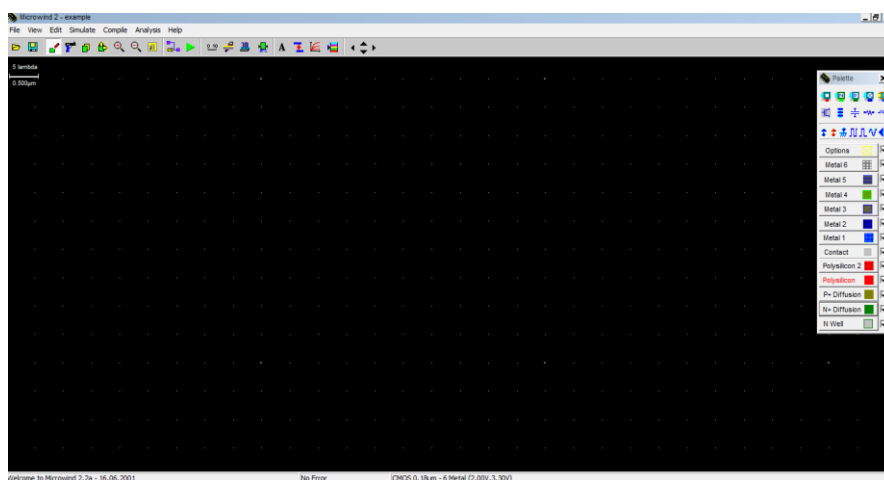
Outro procedimento ao se projetar um CI até sua construção é o *layout*, em que o projetista desenvolve todo seu circuito, escolhendo a tecnologia proposta e o circuito proposto. Com isso, constrói-se o circuito composto por *layers* representando os componentes, sendo eles, capacitores, indutores, onde são realizadas as máscaras. As máscaras para criação do circuito é uma película de vidro coberta de material fotográfico, onde , o processo de construção dele é muito caro (ARRAIS, 2017).

Para criar os *layouts* dos CI se utilizam de *softwares* que projeta o circuito desejado, um deles é o MICROWIND.

### 6.2.1. MICROWIND

O MICROWIND é um *software* gratuito para construção de circuitos na fabricação dos CI, os *layouts* representados pela cor azul se refere ao metal de acordo com a textura acima pode diferenciar um metal de outro (existe exceções), o vermelho referencia o polisilício, que no mesmo caso do metal dependendo da textura pode ser diferenciado entre diversos modelos. Na Figura 56 apresenta a tela inicial do MICROWIND.

**Figura 56:** Tela inicial do MICROWIND



**Fonte:** O autor (2017).

Além dos *layers*, existem as entradas com valores de tensões, *clock*, adição de tensão no dreno do transistor, bloco de contato entre um polisilício e um metal, bloco com o NMOS e PMOS prontos, só precisa adicionar o tamanho e a tensão, porém antes de iniciar a construção do projeto, o projetista define a tecnologia utilizada apertando Ctrl+f.

Ao criar um circuito, o *software* consegue criar o gráfico com as saídas do circuito ao longo do tempo e apresentar o tempo de atraso quando o circuito muda de valor.

Com os valores obtidos, pode-se compara-los com os resultados obtidos na implementação SPICE.